

# ZATRZASKI | PRZERZUTNIKI

**Układy sekwencyjne** (*sequential logic*) są to układy cyfrowe, których stany wyjść zależą od aktualnych stanów wejść oraz od tego, co się działo z tymi układami poprzednio, czyli jakie stany wejść zadawane były w chwilach poprzedzających.

Są to układy z pamięcią, gdyż w ich działaniu oprócz wymuszeń aktualnych istotną rolę odgrywają stany poprzednie.

Podstawowymi przedstawicielami tych układów są **zatrzaski** (*latch*) i **przerzutniki** (*flip-flop*).

Zatrzaski i przerzutniki są elementami pamięciowymi stosowanymi w technice cyfrowej.

# Asynchronizm i synchronizm

Układ jest **asynchroniczny**, gdy stany wyjść zmieniają się bezpośrednio po zmianie stanów wejść.

Układ jest **synchroniczny**, gdy zmiany stanów wyjściowych następują w chwilach wyznaczonych przez specjalny sygnał synchronizujący, nazywany sygnałem zegarowym.

# Zatrzaski (*latch*)

Zatrzaski są asynchronicznymi elementami pamięciowymi stosowanymi w technice cyfrowej.

Cechą charakterystyczną zatrząsków jest ich „przezroczystość” to znaczy, że zmiany na wejściach powodują natychmiastowe zmiany na wyjściach (w zatrząskach bramkowanych dzieje się to przy aktywnym stanie sygnału zezwolenia).

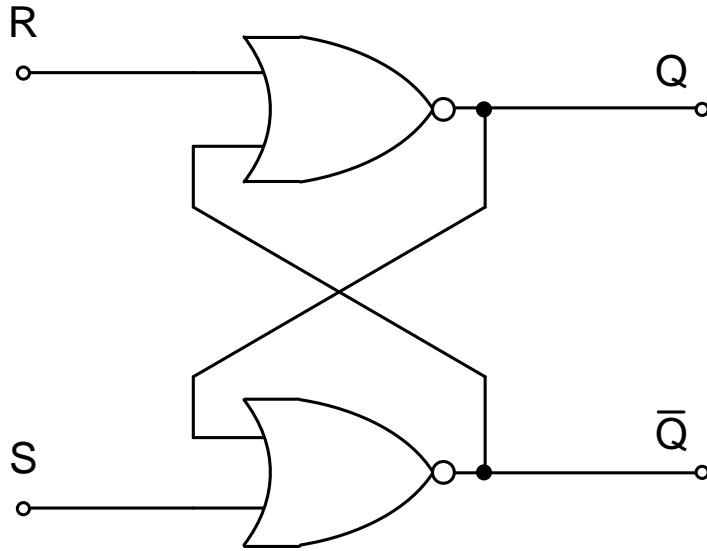
## ***UWAGA***

***W części dotyczącej zatrząsków indeksy dolne oznaczają:***

***n - stan poprzedni***

***n+1 - stan następny***

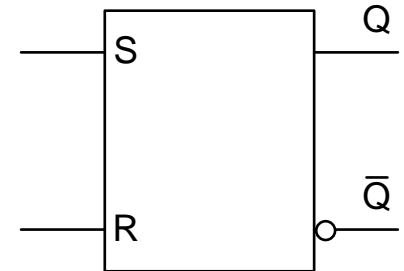
# zatrzask SR



S	R	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	$Q_n$	$\bar{Q}_n$
0	1	0	1
1	0	1	0
1	1	0	0

równanie logiczne

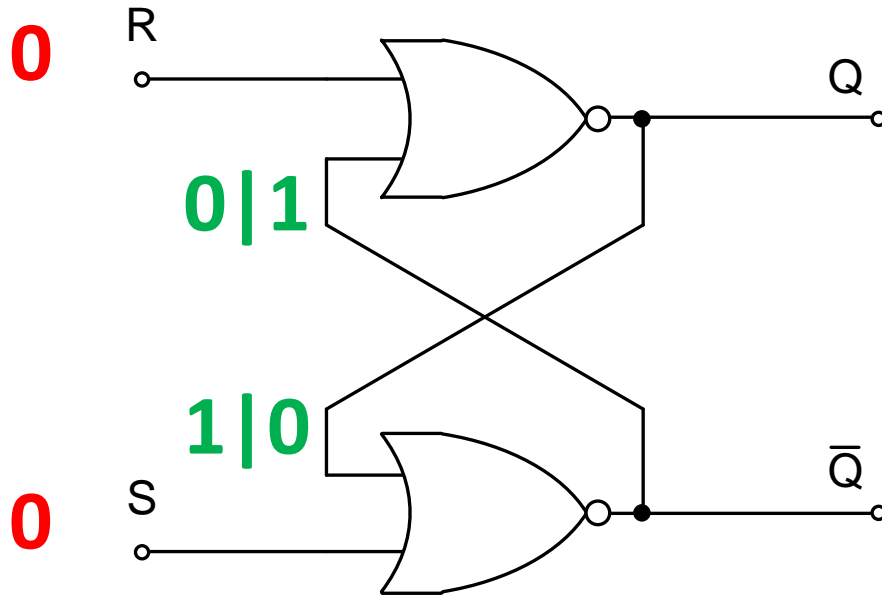
$$Q_{n+1} = S + Q_n \bar{R} \quad \text{przy spełnieniu warunku: } \mathbf{S R = 0}$$



symbol graficzny

# zatrask SR

stan na wejściach R=0 S=0



S	R	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	$Q_n$	$\bar{Q}_n$
0	1	0	1
1	0	1	0
1	1	0	0

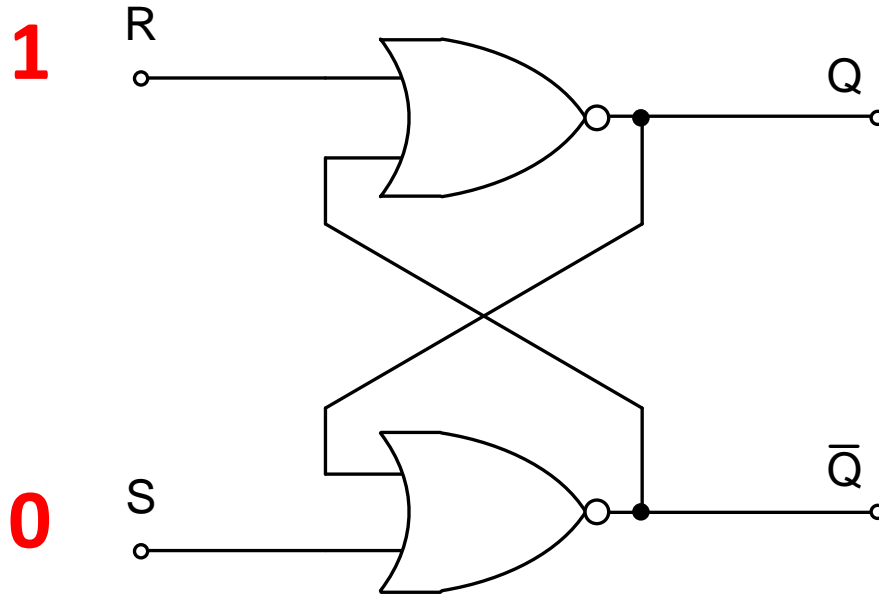
NOR

A	B	W
0	0	1
0	1	0
1	0	0
1	1	0

na wyjściu pozostają stany zastane

# zatrzask SR

stan na wejściach R=1 S=0



S	R	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	$Q_n$	$\bar{Q}_n$
0	1	0	1
1	0	1	0
1	1	0	0

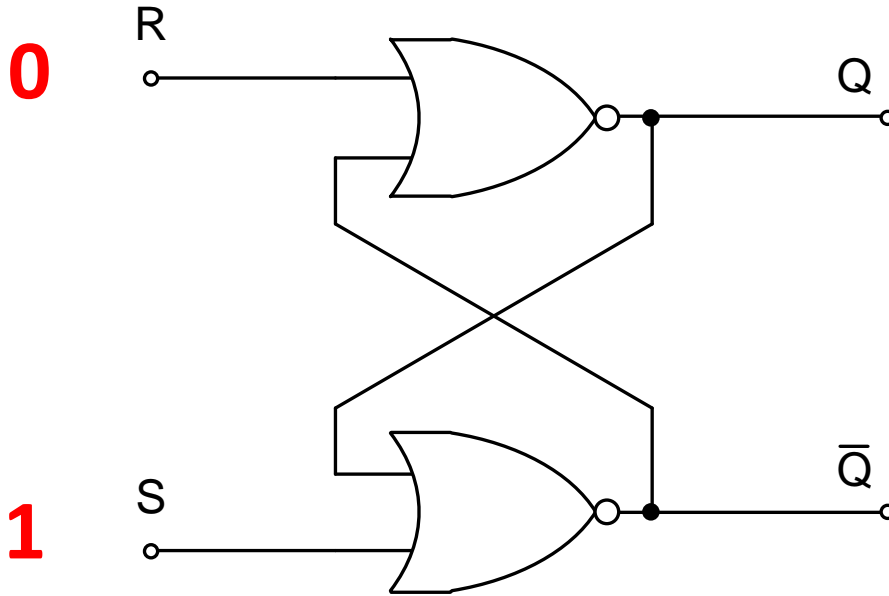
NOR

A	B	W
0	0	1
0	1	0
1	0	0
1	1	0

jedynka na wejściu R wymusza 0 na wyjściu Q  
a wtedy na nieQ jest 1

# zatrask SR

stan na wejściach R=0 S=1



S	R	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	$Q_n$	$\bar{Q}_n$
0	1	0	1
1	0	1	0
1	1	0	0

NOR

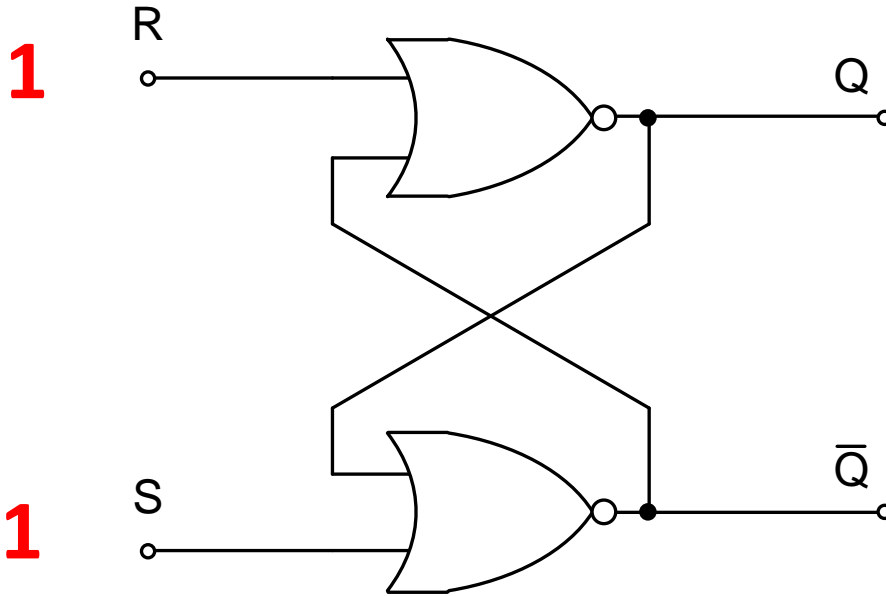
A	B	W
0	0	1
0	1	0
1	0	0
1	1	0

jedynka na wejściu S wymusza 0 na wyjściu nieQ  
a wtedy na Q jest 1



# zatrask SR

stan na wejściach R=1 S=1



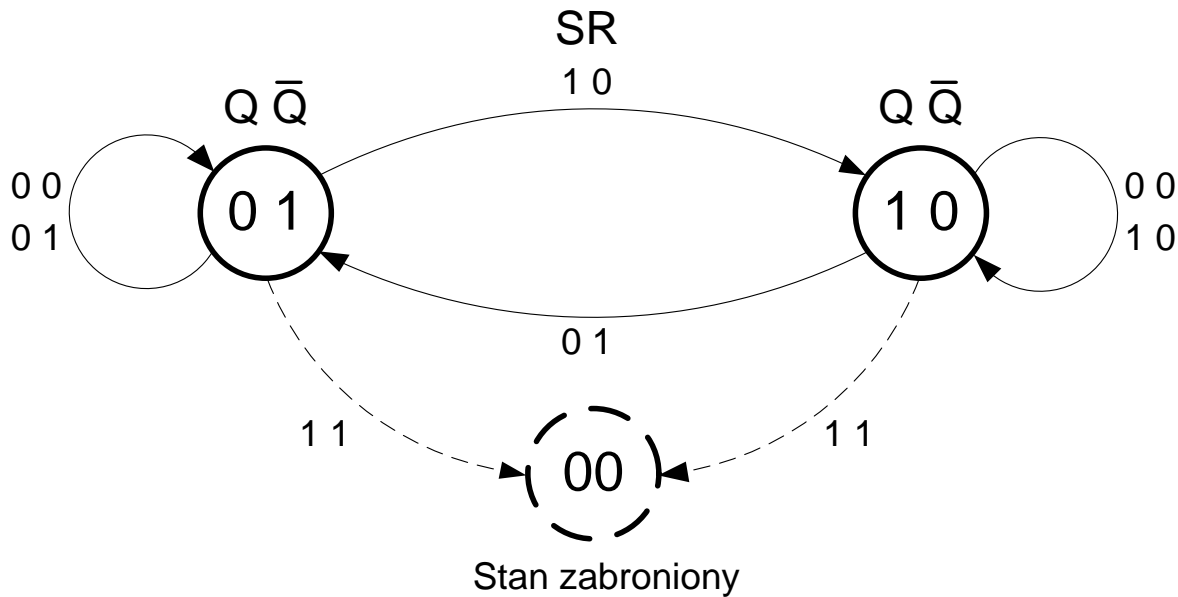
S	R	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	$Q_n$	$\bar{Q}_n$
0	1	0	1
1	0	1	0
1	1	0	0

NOR

A	B	W
0	0	1
0	1	0
1	0	0
1	1	0

jedynka na wejściu R wymusza 0 na wyjściu Q  
i jednocześnie  
jedynka na wejściu S wymusza 0 na wyjściu nieQ  
stany Q i nieQ są tożsame a to jest niedopuszczalne  
dlatego zastrzega się **SR = 0**

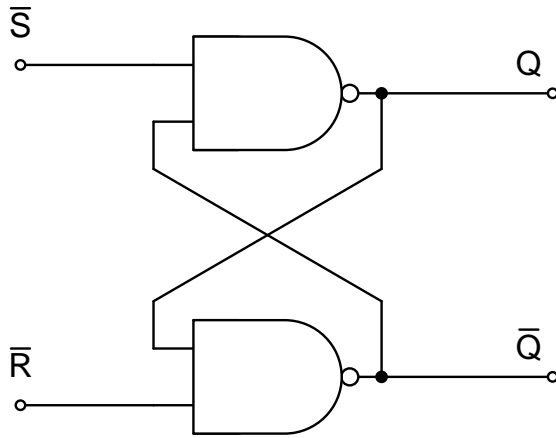
# graf przejść zatrzasku SR



## tabela prawdy z komentarzem

S	R	$Q_{n+1}$	$\bar{Q}_{n+1}$	komentarz
0	0	$Q_n$	$\bar{Q}_n$	pamiętanie stanu poprzedniego
0	1	0	1	ustawienie RESET
1	0	1	0	ustawienie SET
1	1	0	0	stan zabroniony

# zatrzask $\bar{R}\bar{S}$



budowa

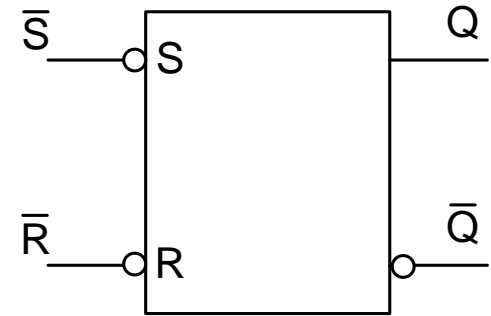
$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

NAND

A	B	W
0	0	1
0	1	1
1	0	1
1	1	0

równanie logiczne

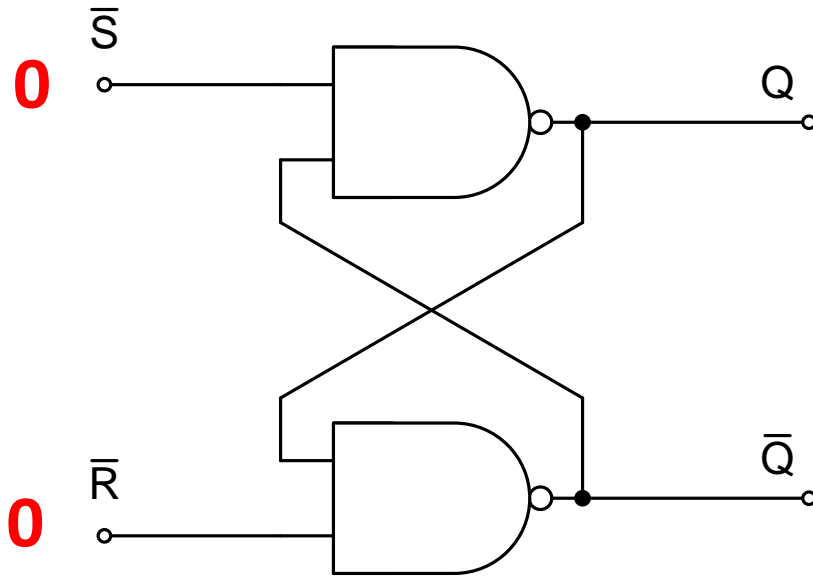
$$Q_{n+1} = S + Q_n \bar{R} \quad \text{przy spełnieniu warunku: } \bar{S} + \bar{R} = 1$$



symbol graficzny

zatrask  $\bar{R}\bar{S}$ 

stany na wejściach nieS=0 i nieR=0



$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

NAND

A	B	W
0	0	1
0	1	1
1	0	1
1	1	0

0 na wejściu nieS wymusza 1 na wyjściu Q  
i jednocześnie

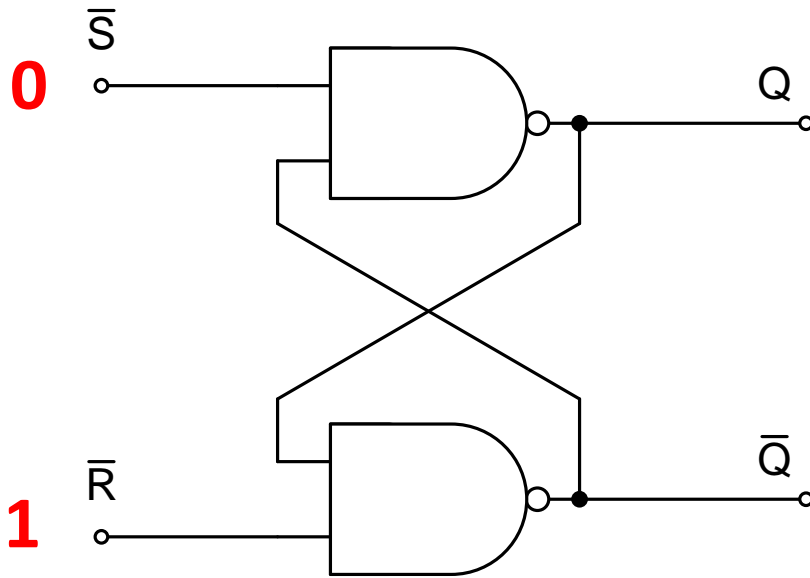
0 na wejściu nieR wymusza 1 na wyjściu nieQ

stany Q i nieQ są tożsame a to jest niedopuszczalne

dlatego zastrzega się  $\bar{S} + \bar{R} = 1$

zatrask  $\bar{R}\bar{S}$ 

stany na wejściach nieS=0 i nieR=1



$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

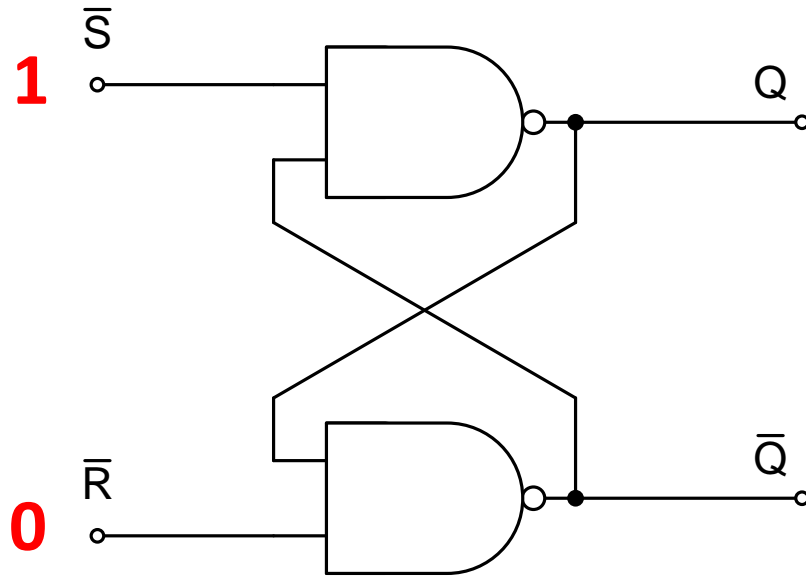
NAND

A	B	W
0	0	1
0	1	1
1	0	1
1	1	0

0 na wejściu nieS wymusza 1 na wyjściu Q  
i wtedy na nieQ jest 0

zatrask  $\bar{R}\bar{S}$ 

stany na wejściach nieS=1 i nieR=0



$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

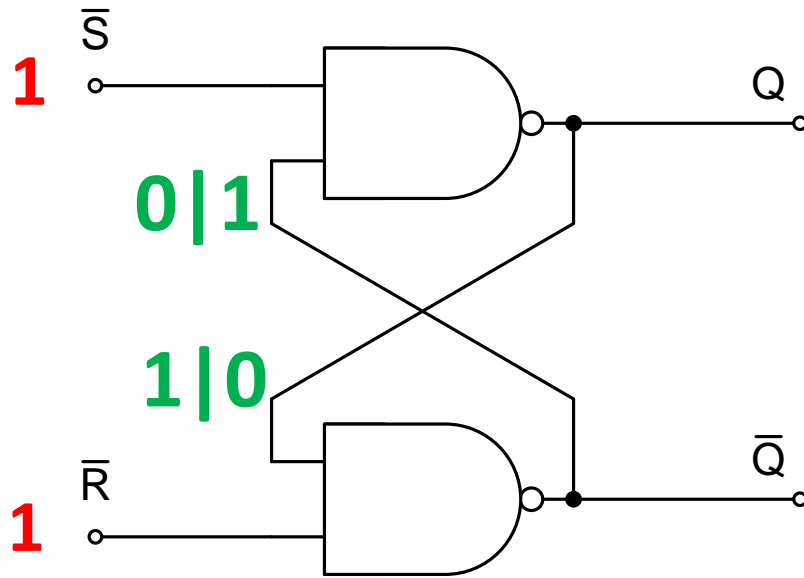
NAND

A	B	W
0	0	1
0	1	1
1	0	1
1	1	0

0 na wejściu nieR wymusza 1 na wyjściu nieQ  
i wtedy na Q jest 0

zatrask  $\bar{R}\bar{S}$ 

stany na wejściach nieS=1 i nieR=1



$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

NAND

A	B	W
0	0	1
0	1	1
1	0	1
1	1	0

na wyjściu pozostają stany zastane

# graf przejść zatrzasku $\bar{R}\bar{S}$

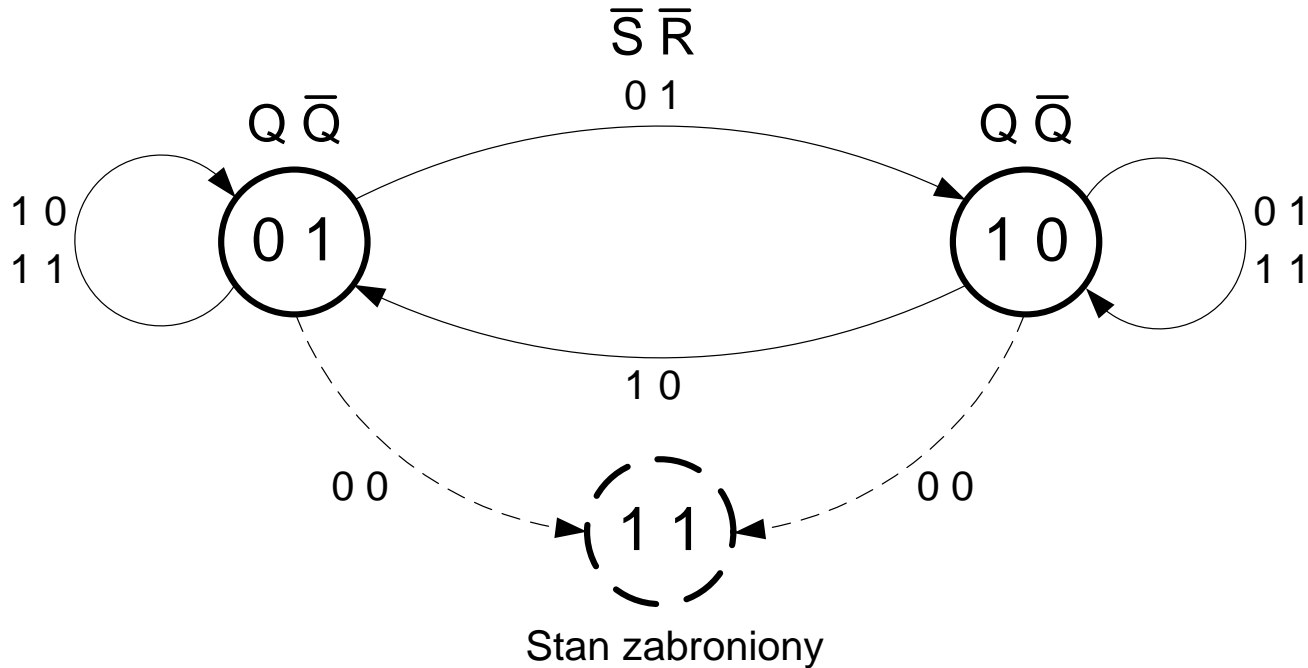


tabela prawdy

$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$	komentarz
0	0	1	1	stan zabroniony
0	1	1	0	ustawienie SET
1	0	0	1	ustawienie RESET
1	1	$Q_n$	$\bar{Q}_n$	pamiętanie stanu poprzedniego



realizacja w postaci scalonej

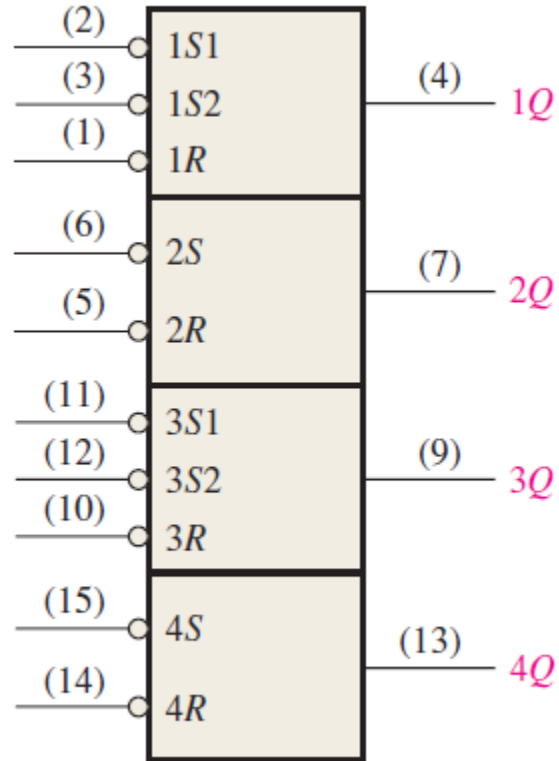
poczwórny zatrząsk  $\overline{S}$   $\overline{R}$ **74HC279A**

diagram logiczny

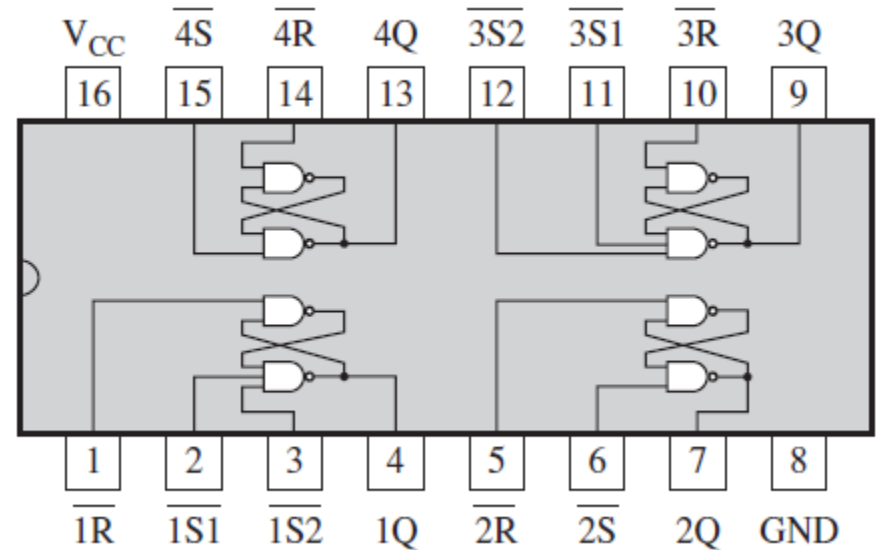


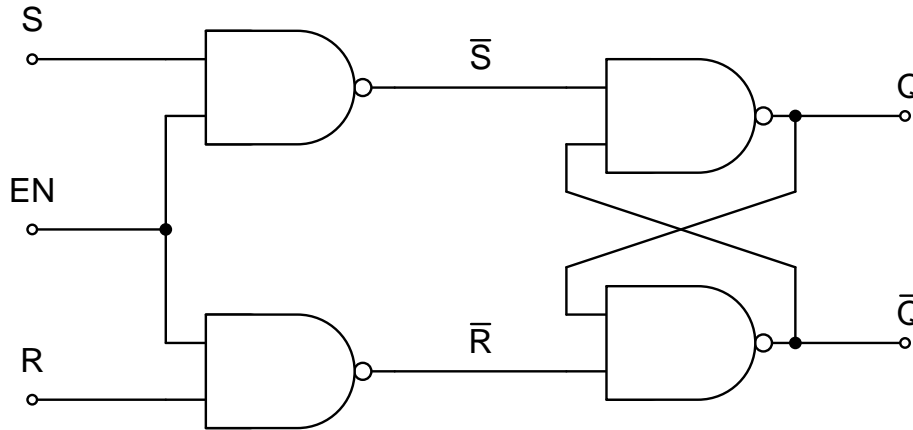
diagram kontaktów (pinów)

Uwaga: dwa zatrząski mają podwójne wejście  $\overline{S}$ 

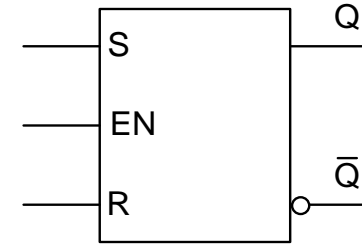
[\*]

# bramkowy zatrask SR

budowa



symbol graficzny



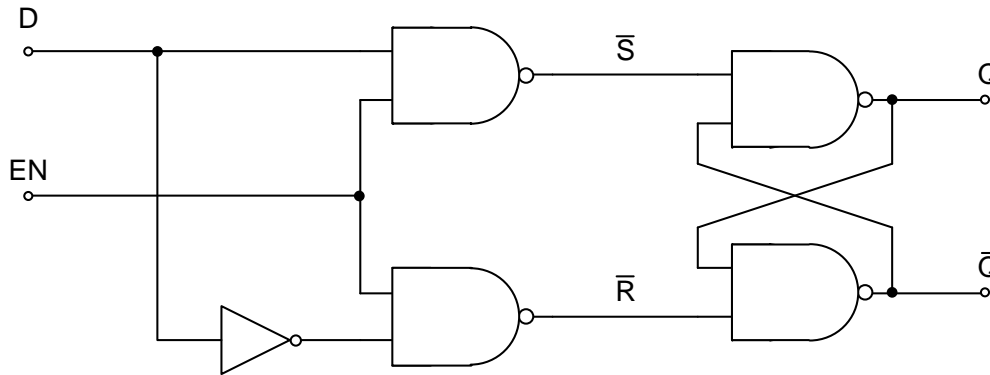
równanie logiczne

$$Q_{n+1} = EN (S + Q_n \bar{R}) + \bar{EN} Q_n \quad \text{przy spełnieniu warunku: } S R EN = 0$$

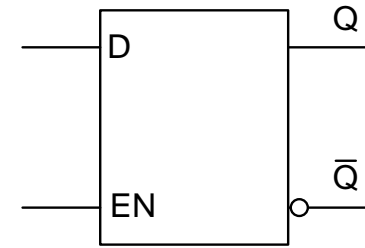
tabela prawdy

S	R	EN	$Q_{n+1}$	$\bar{Q}_{n+1}$	komentarz
0	0	x	$Q_n$	$\bar{Q}_n$	pamiętanie stanu poprzedniego
0	1	1	0	1	ustawienie RESET
1	0	1	1	0	ustawienie SET
1	1	1	0	0	stan zabroniony
x	x	0	$Q_n$	$\bar{Q}_n$	pamiętanie stanu poprzedniego

# bramkowy zetrzask D



budowa



symbol graficzny

równanie logiczne

$$Q_{n+1} = EN D + \overline{EN} Q_n$$

# graf przejść bramkowanego zatrzasku D

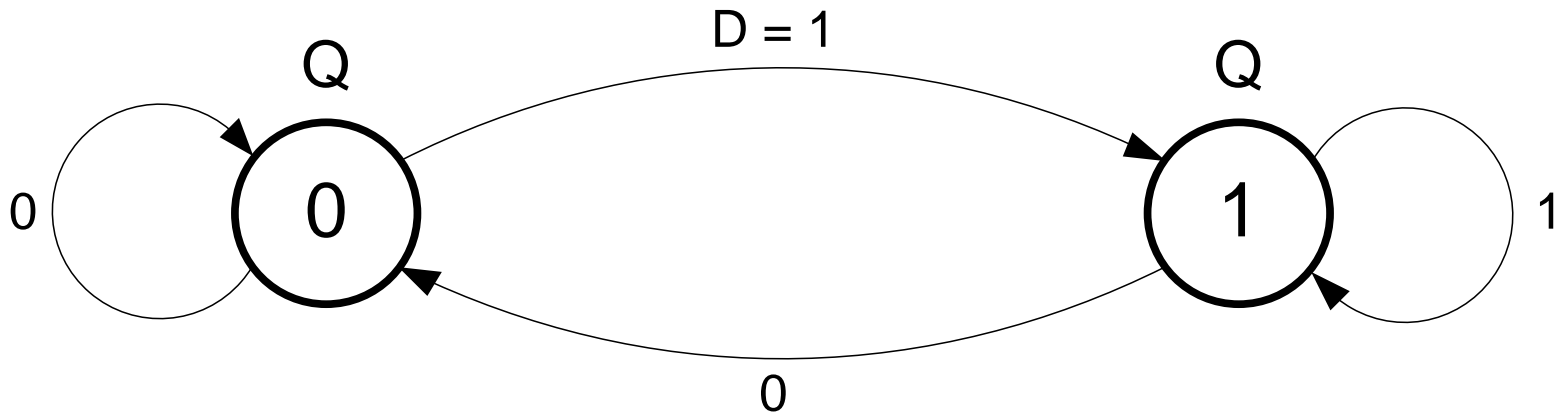
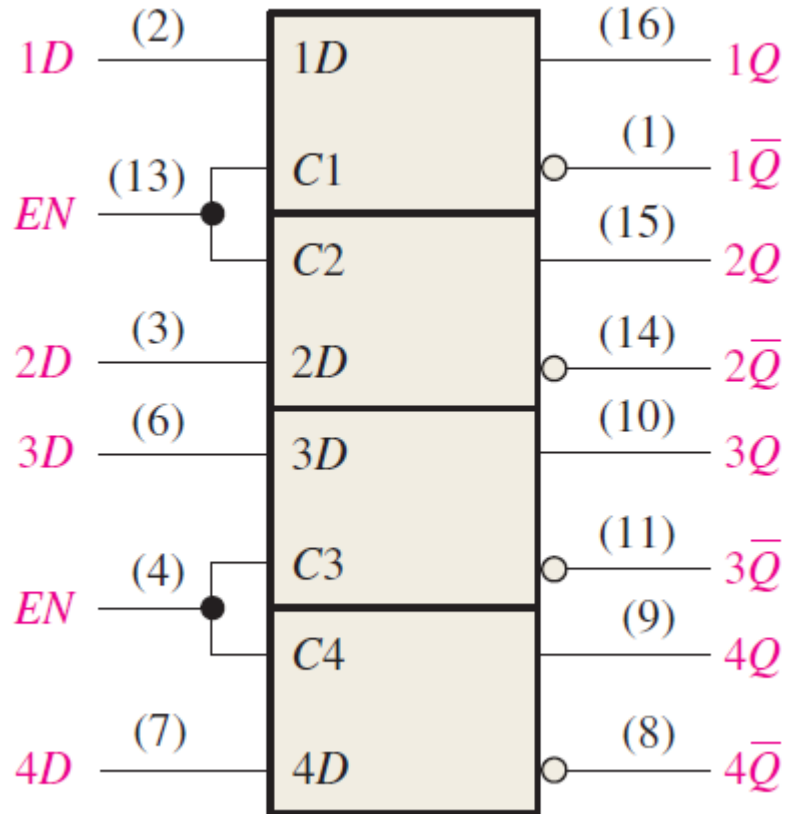


tabela prawdy

D	EN	$Q_{n+1}$	$\bar{Q}_{n+1}$	komentarz
0	1	0	1	przepisanie zera
1	1	1	0	przepisanie jedynki
x	0	$Q_n$	$\bar{Q}_n$	pamiętanie stanu poprzedniego

## poczwórny bramkowany zatrząsk D

**74HC75**

Inputs		Outputs		Comments
$D$	$EN$	$Q$	$\bar{Q}$	
0	1	0	1	RESET
1	1	1	0	SET
X	0	$Q_0$	$\bar{Q}_0$	No change

*Note:*  $Q_0$  is the prior output level before the indicated input conditions were established.

symbol logiczny

[\*]

# Przerzutniki

## *(flip-flop)*

Przerzutniki są synchronicznymi elementami pamięciowymi stosowanymi w technice cyfrowej.

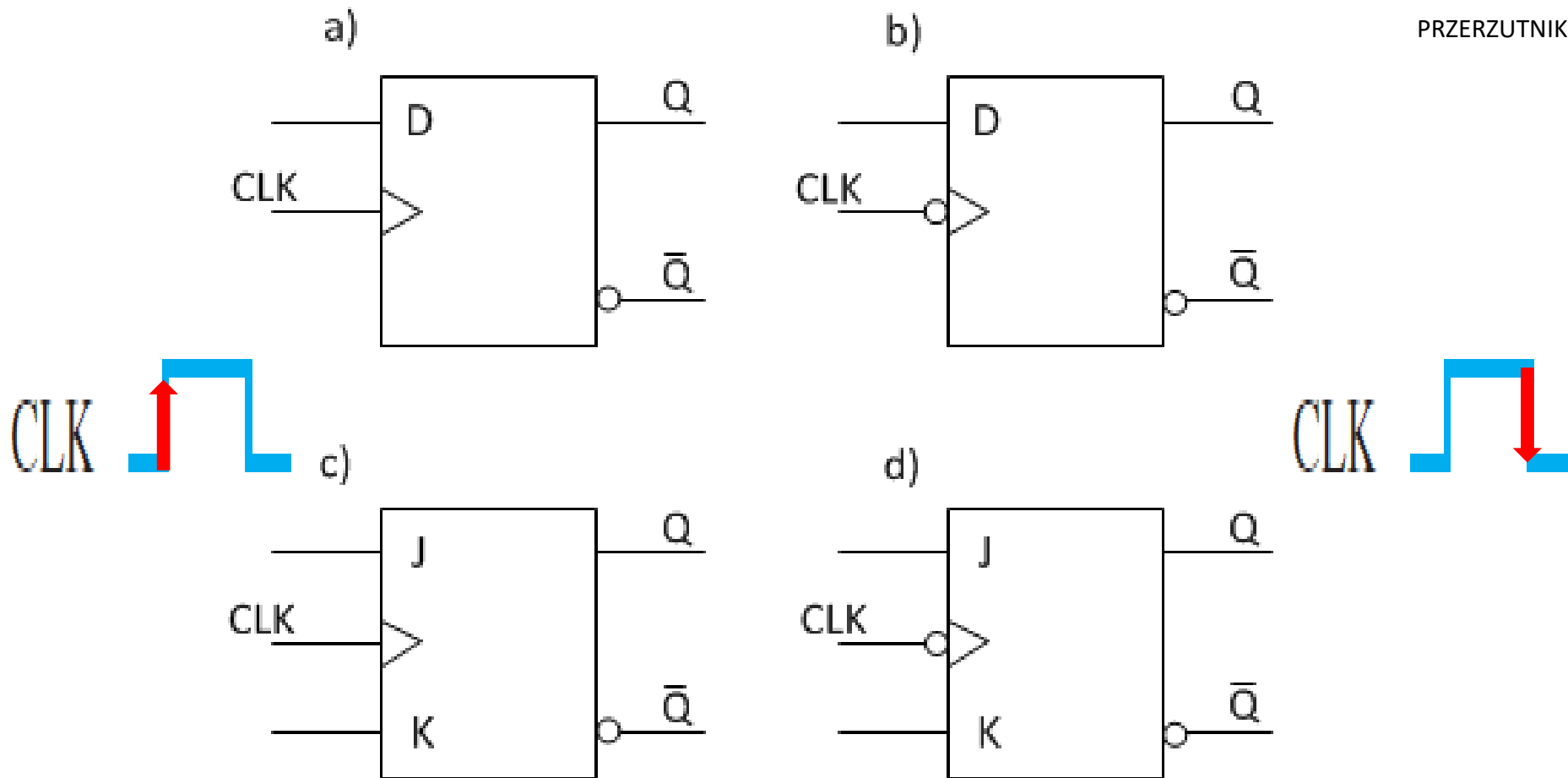
W przerzutnikach nie istnieje „przezroczystość” jak w zatrzaskach. Stany na wyjściach zmieniają się synchronicznie z sygnałem zegarowym.

### ***UWAGA***

***W części dotyczącej przerzutników indeksy dolne oznaczają:***

***$n$  - stan poprzedni przy  $n$ -tym impulsie zegarowym***

***$n+1$  - stan następny po  $n+1$  impulsie zegarowym***

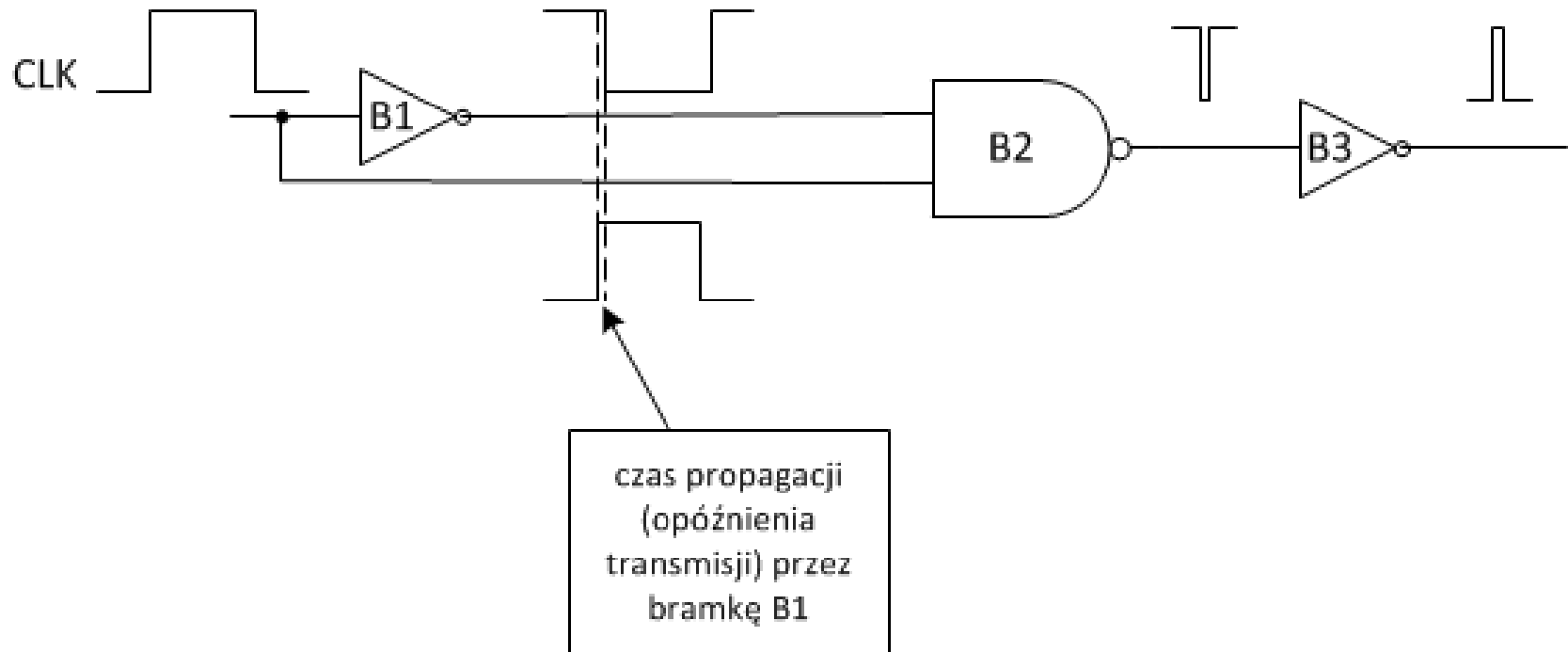


**Symbole przerzutników:**

- a) przerzutnik D przełączany zboczem dodatnim (narastającym)**
- b) przerzutnik D przełączany zboczem ujemnym (opadającym)**
- c) przerzutnik JK przełączany zboczem dodatnim (narastającym)**
- d) przerzutnik JK przełączany zboczem ujemnym (opadającym)**

# formowanie impulsu przełączania zboczem

## detektor zbocza dodatniego (narastającego)



krótki impuls (kilka nanosekund) wytwarzany przez opóźnienie  
gdy oba wejścia bramki B2 są WYSOKIE



# przerzutnik D

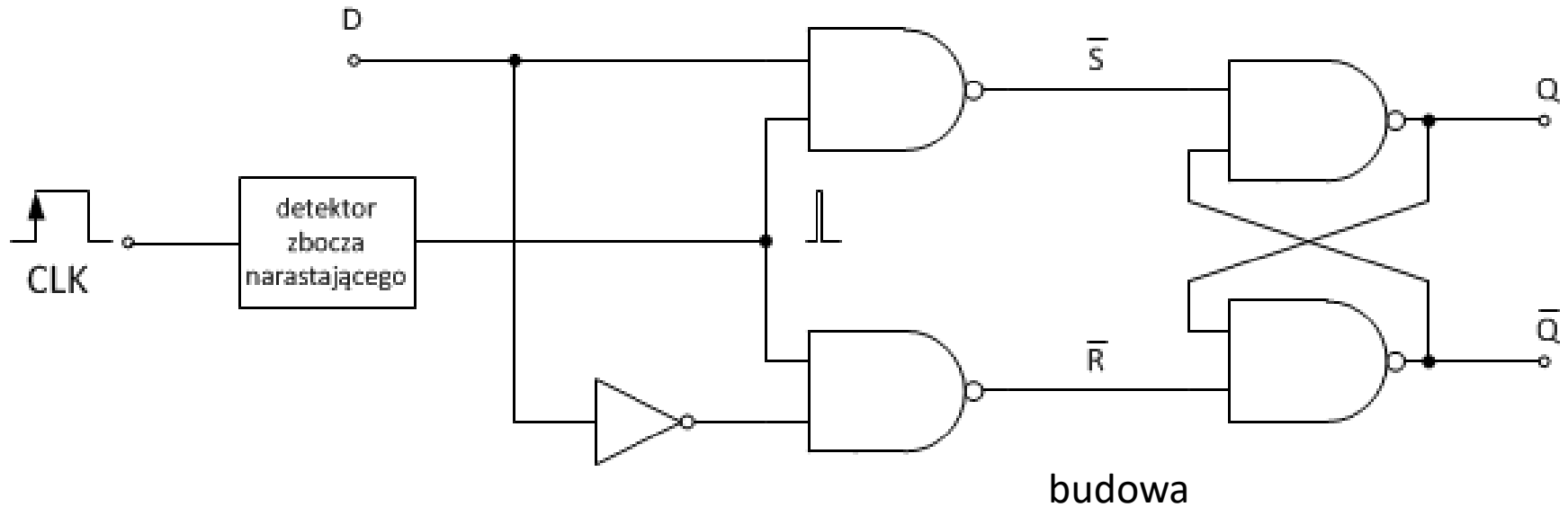
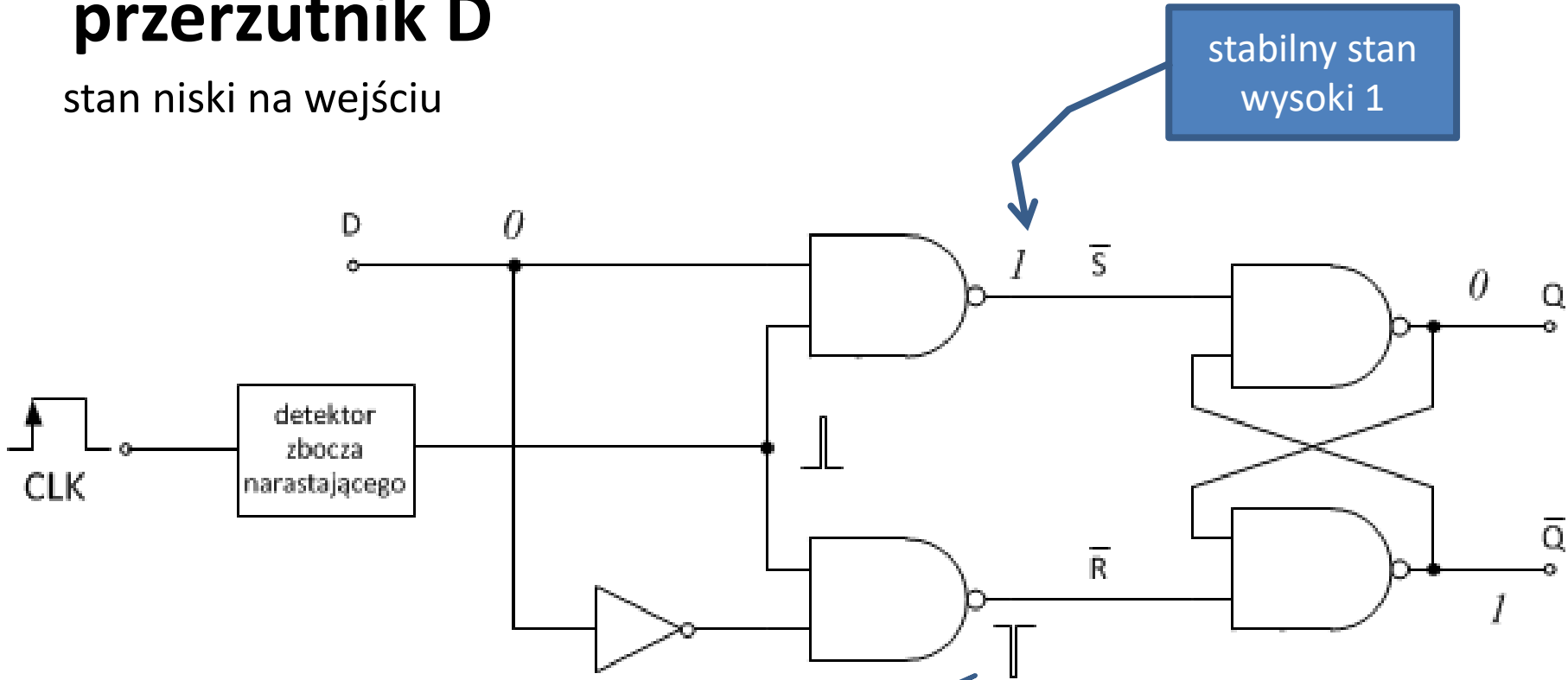


tabela prawdy

D	CLK	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	↑	0	1
1	↑	1	0
x	brak zbocza ↑	$Q_n$	$\bar{Q}_n$

# przerzutnik D

stan niski na wejściu



stabilny stan wysoki 1

chwilowe 0 później stan wysoki 1 „podtrzymanie”

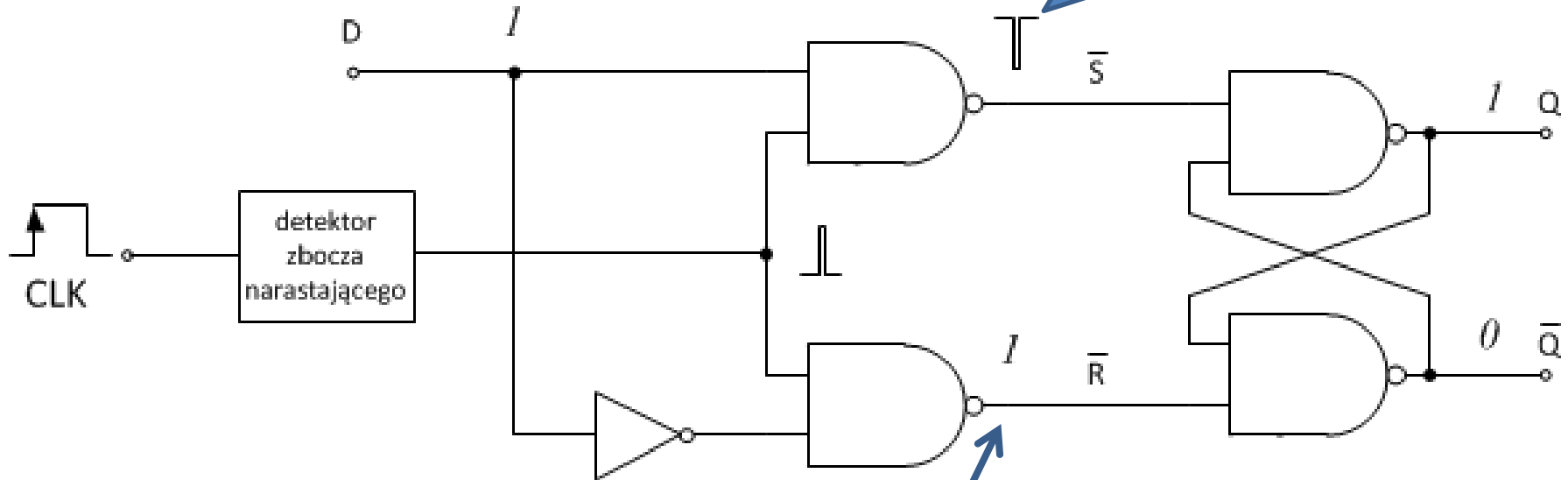
zatrząsk  $\bar{R}\bar{S}$

$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

podtrzymanie

# przerzutnik D

stan wysoki na wejściu



stabilny stan wysoki 1

podtrzymanie

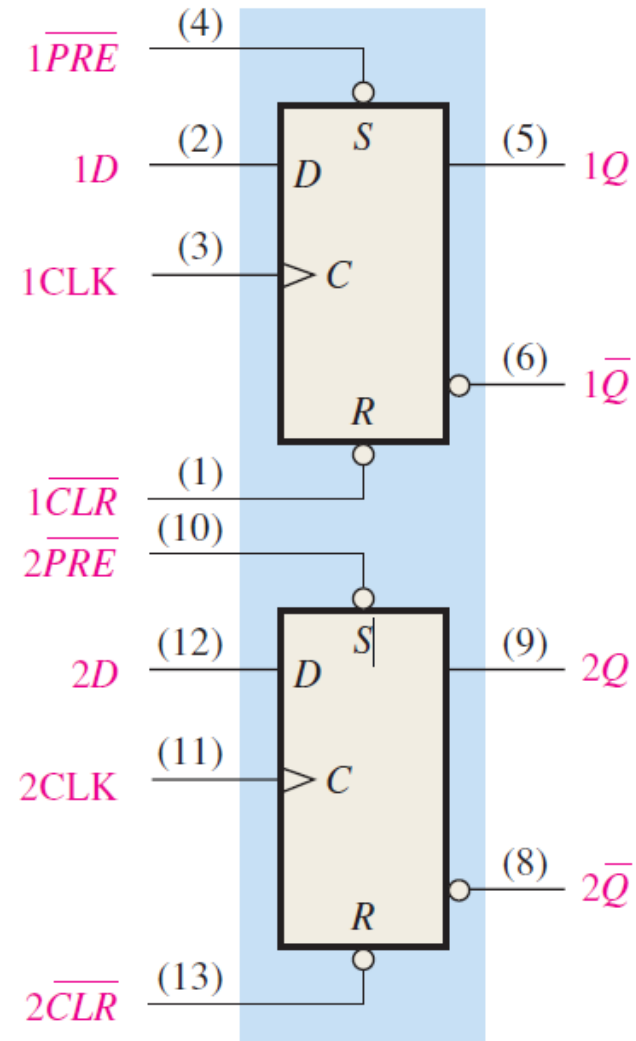
zatrask  $\bar{R}\bar{S}$

$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

## realizacja w postaci scalonej

podwójny przerzutnik D  
wyzwalany zboczem dodatnim

# 74HC74

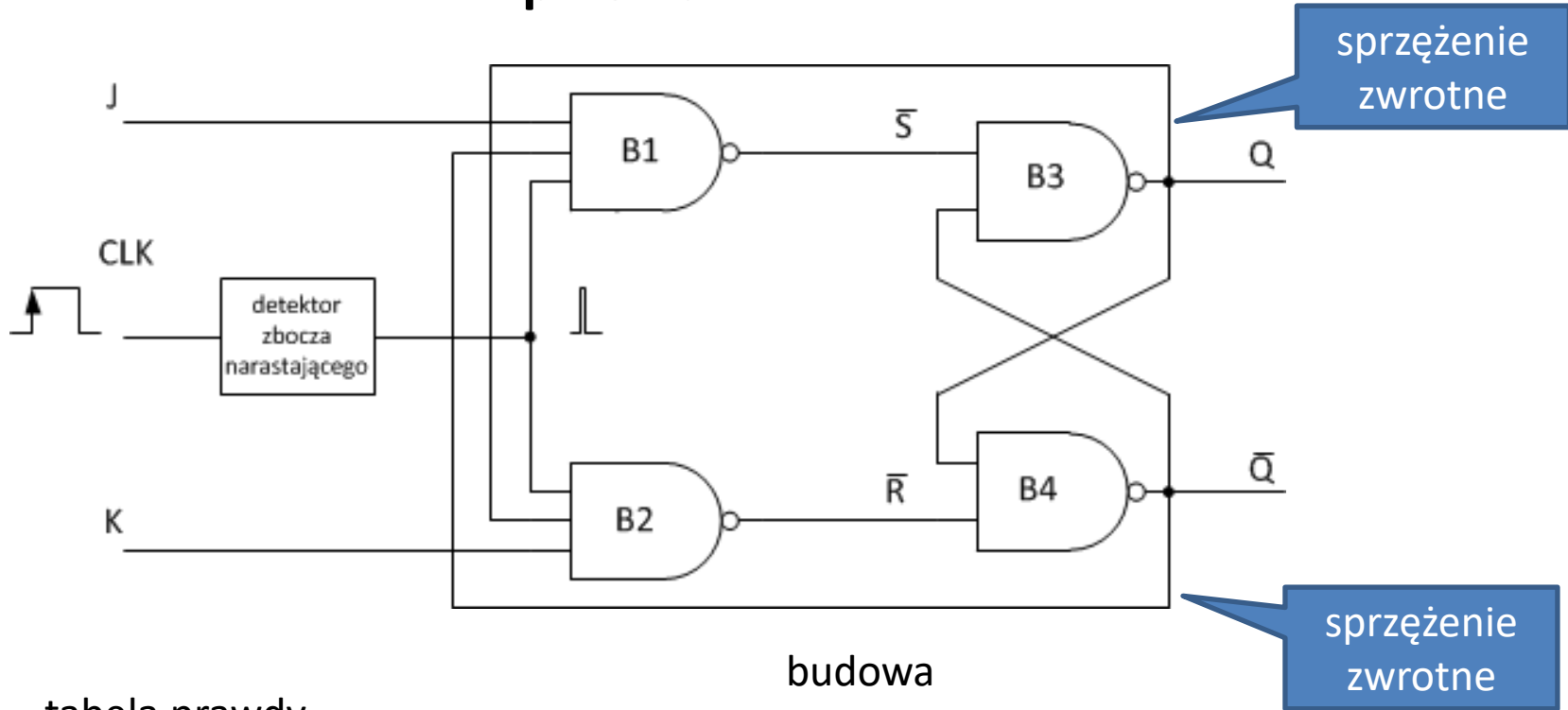


symbol logiczny

( ) numeracja końcówek (pinów)

[\*]

# przerzutnik JK



budowa

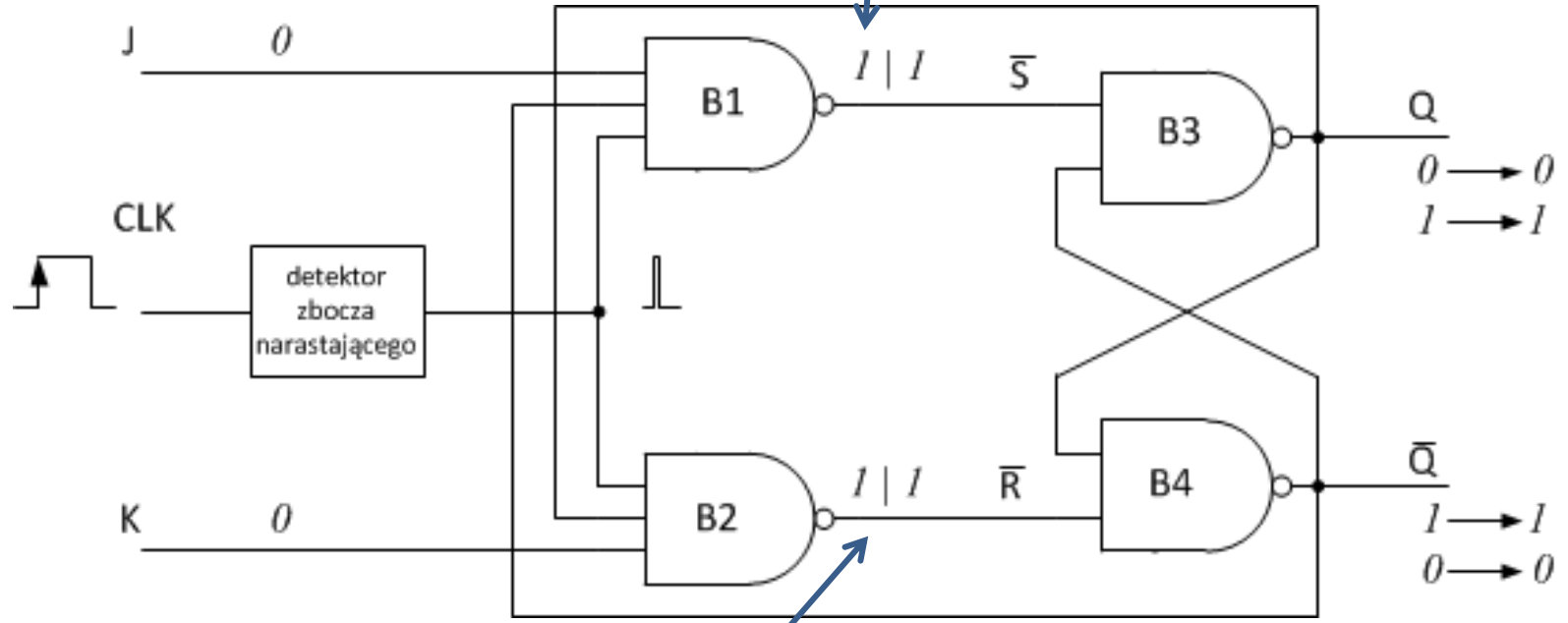
tabela prawdy

J	K	CLK	$Q_{n+1}$	$\bar{Q}_{n+1}$	
0	0	↑	$Q_n$	$\bar{Q}_n$	bez zmian
0	1	↑	0	1	RESET
1	0	↑	1	0	SET
1	1	↑	$\bar{Q}_n$	$Q_n$	przełączanie Toggle

# przerzutnik JK

stany niskie na obu wejściach

stabilny stan wysoki



stabilny stan wysoki

zatrzask  $\bar{R}\bar{S}$

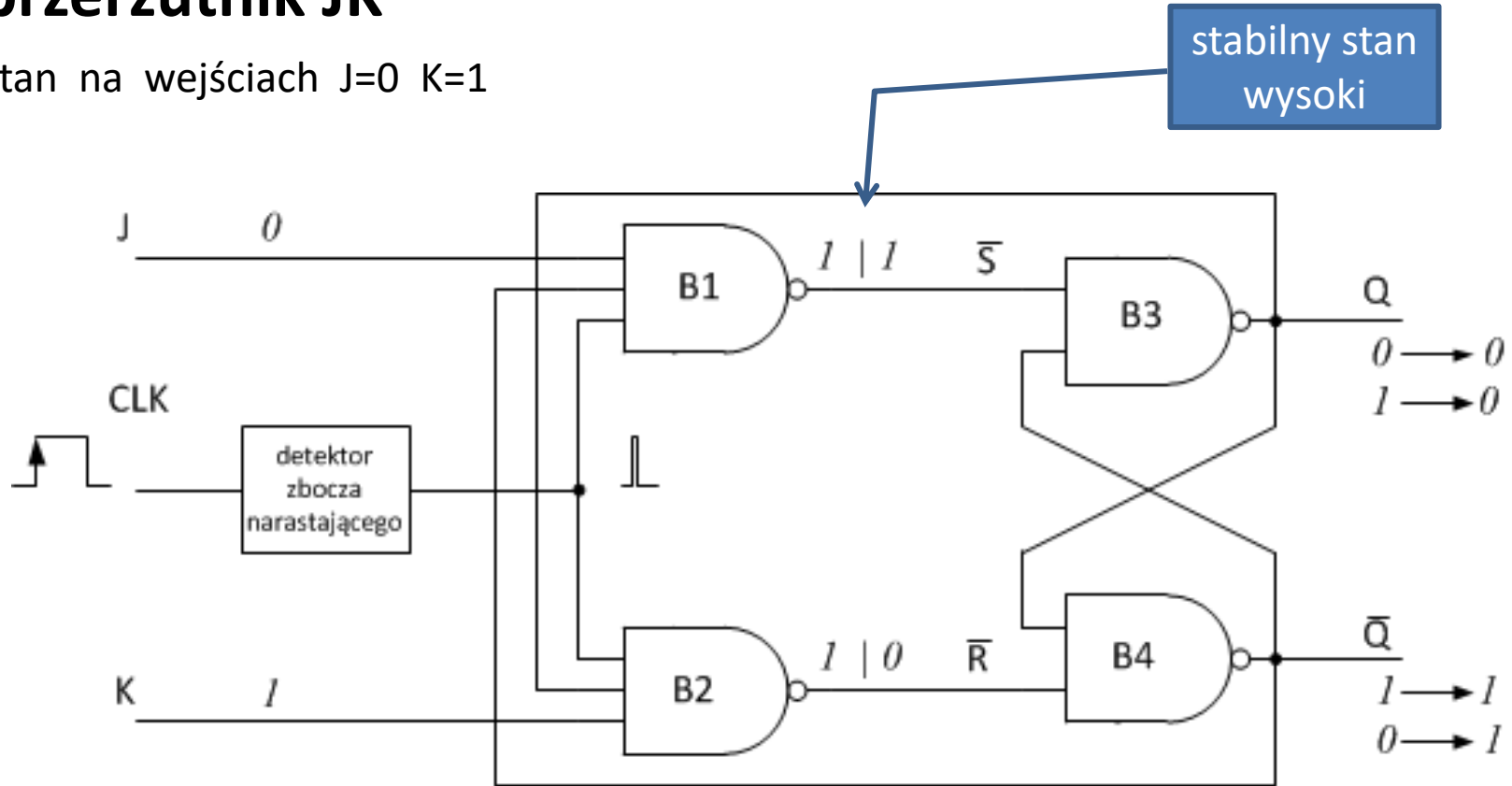
$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

podtrzymanie



# przerzutnik JK

stan na wejściach J=0 K=1



zatrask  $\bar{R}\bar{S}$

$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

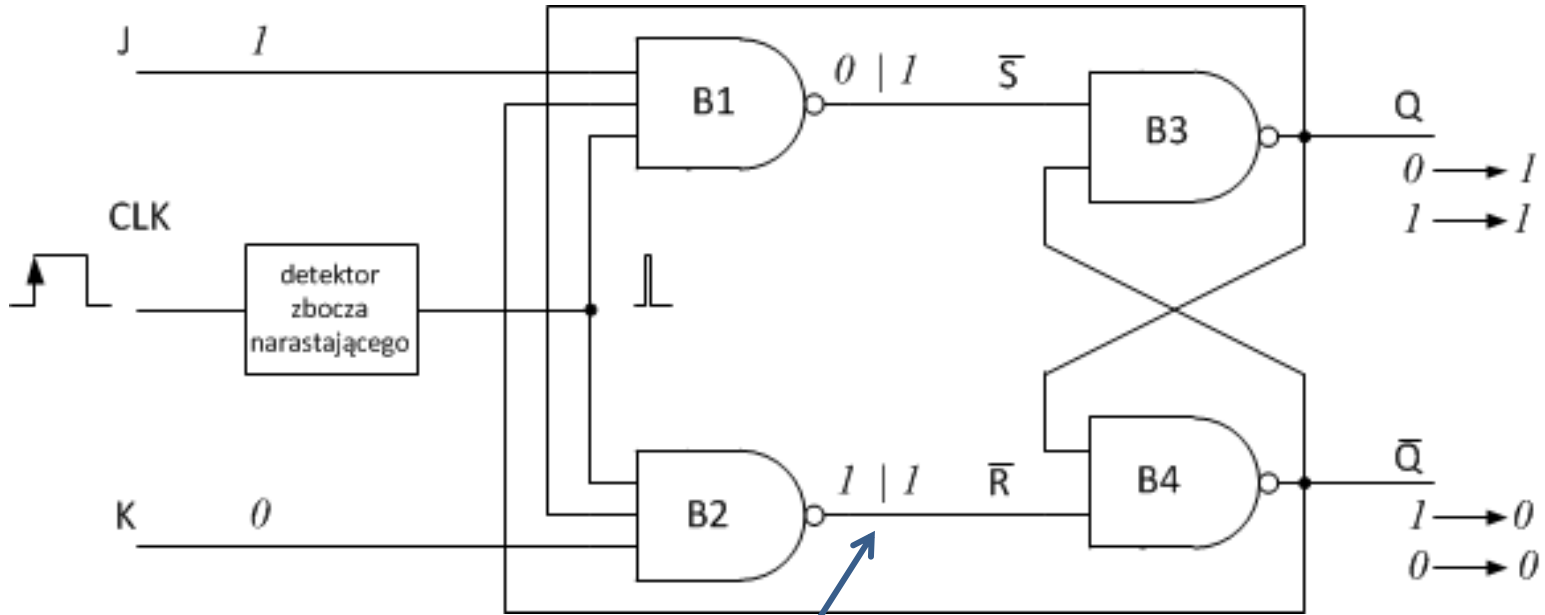
gdy na Q była 1 to na wyjściu bramki B2 jest 0 reset

gdy na Q było 0 to to na wyjściu bramki B2 jest 1

podtrzymanie

# przerzutnik JK

stan na wejściach J=1 K=0



stabilny stan wysoki

gdy na  $\bar{Q}$  była 1 to na wyjściu bramki B1 jest 0 set

gdy na  $\bar{Q}$  było 0 to to na wyjściu bramki B1 jest 1 podtrzymanie

zatrzask  $\bar{R}\bar{S}$

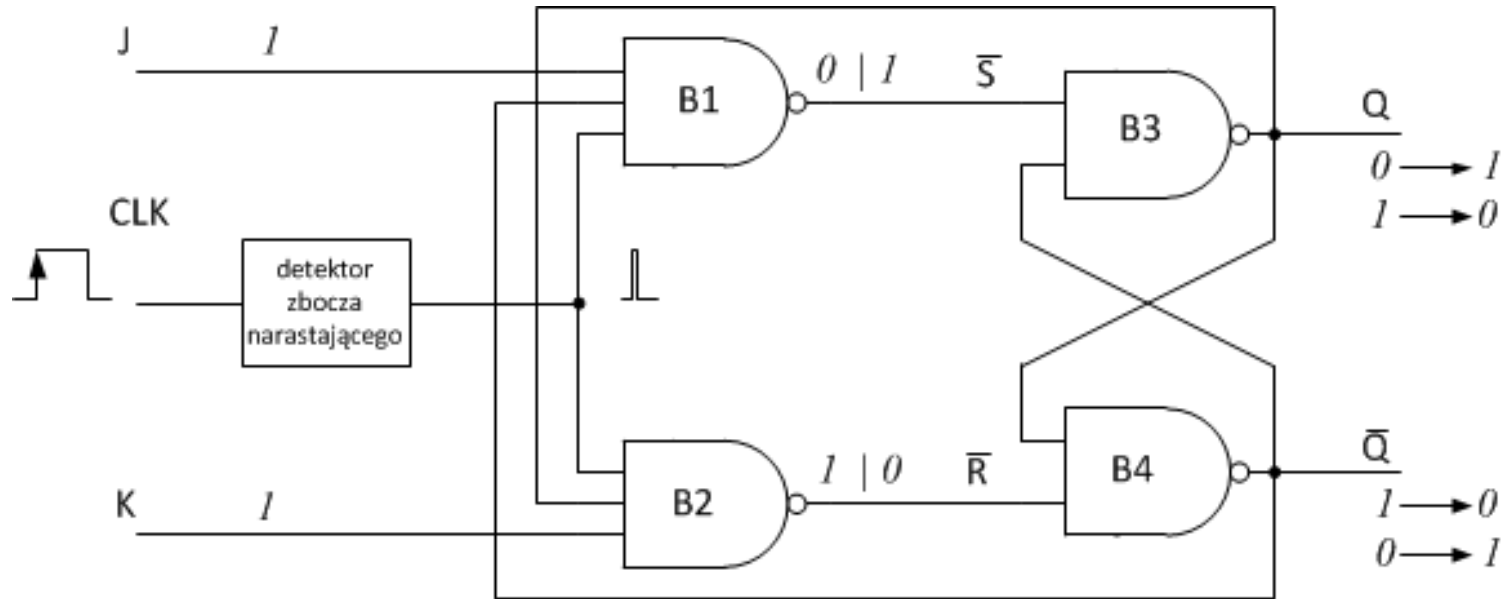
$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$



# przerzutnik JK

przełączanie w każdym takcie  
Toggle

stan na wejściach J=1 K=1



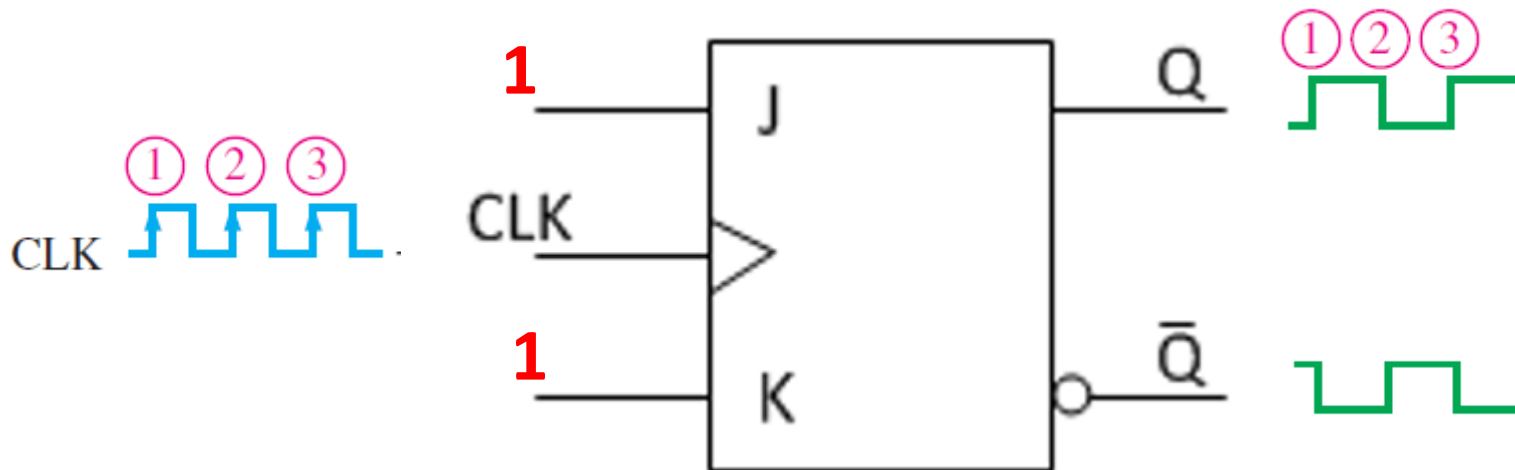
gdy na  $\bar{Q}$  jest 1 to na wyjściu bramki B2 jest 0  
wtedy na Q jest 0 i na wyjściu bramki B1 jest 1  
**set**

gdy na  $\bar{Q}$  jest 0 to na wyjściu bramki B2 jest 1  
wtedy na Q jest 1 i na wyjściu bramki B1 jest 0  
**reset**

$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

przerzutnik JK z  $J=1$  i  $K=1$  sterowany impulsami zegarowymi nazywany jest przerzutnikiem T

## przerzutnik T (Toggle)



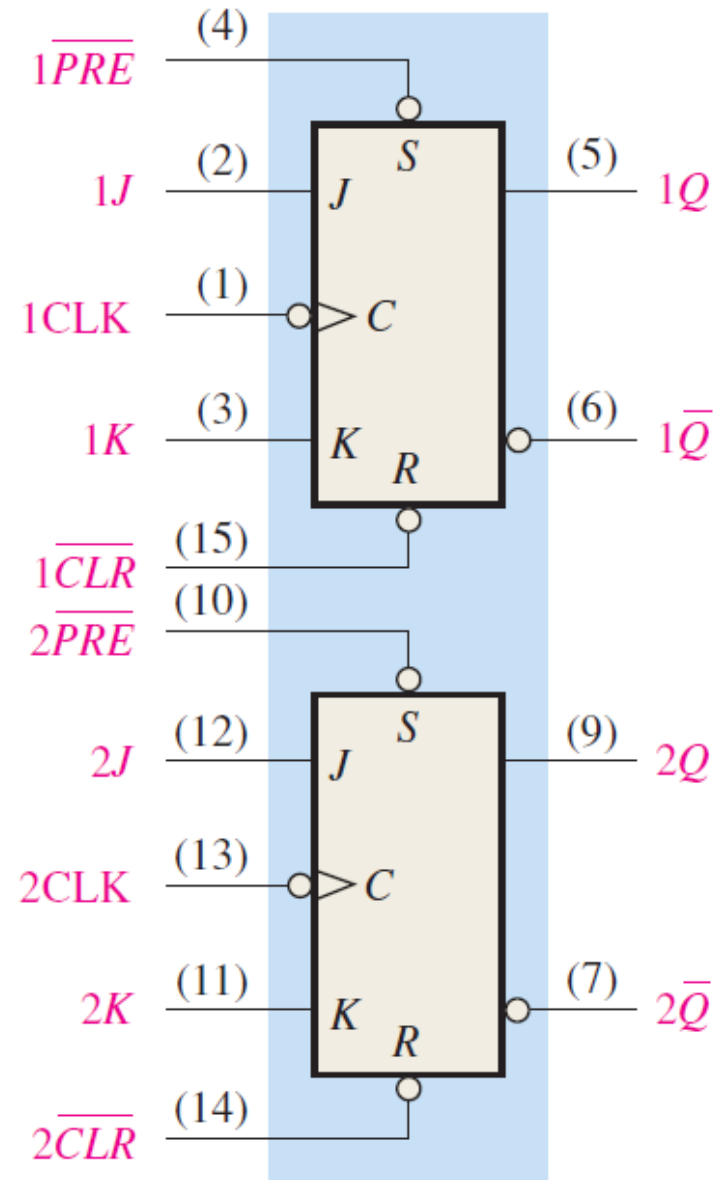
przełączanie w każdym takcie zegara

może być stosowany jako np. jako dzielnik częstotliwości

realizacja w postaci scalonej

podwójny przerzutnik JK  
wyzwalany zboczem ujemnym

# 74HC112



symbol logiczny

( ) numeracja końcówek (pinów)

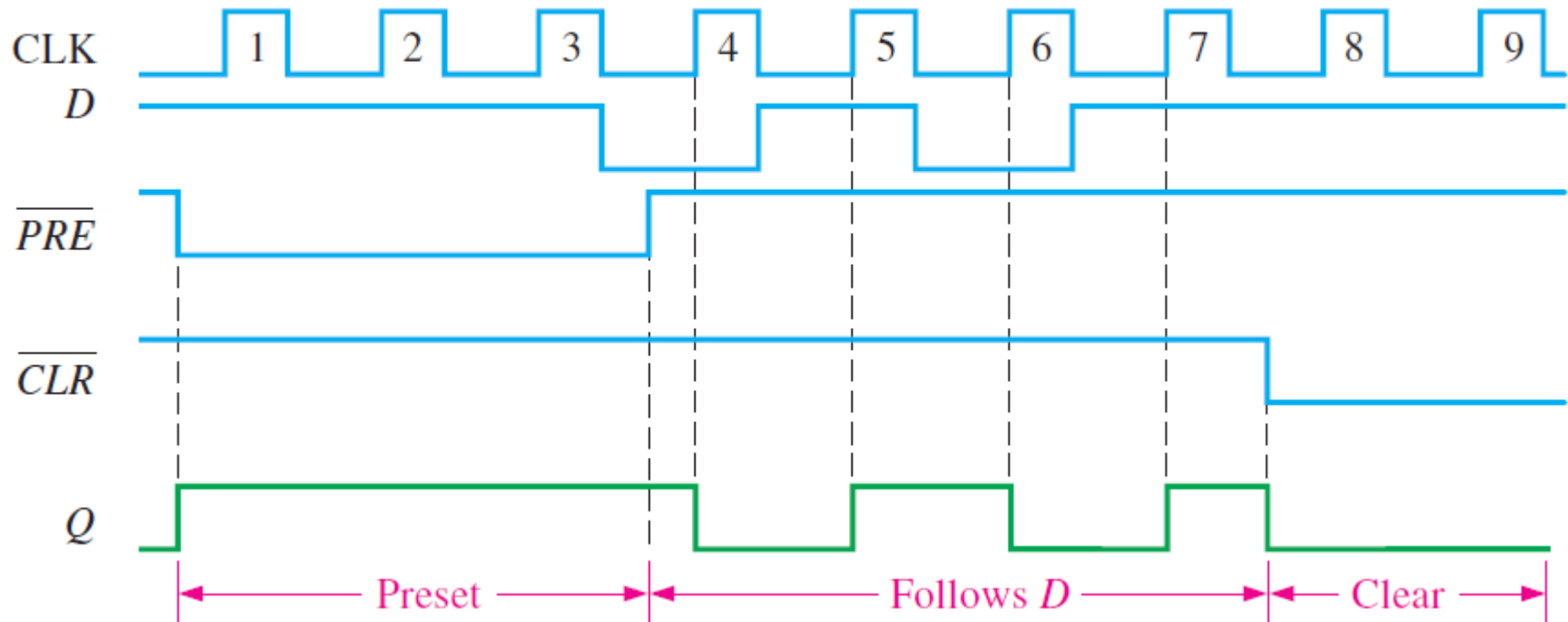
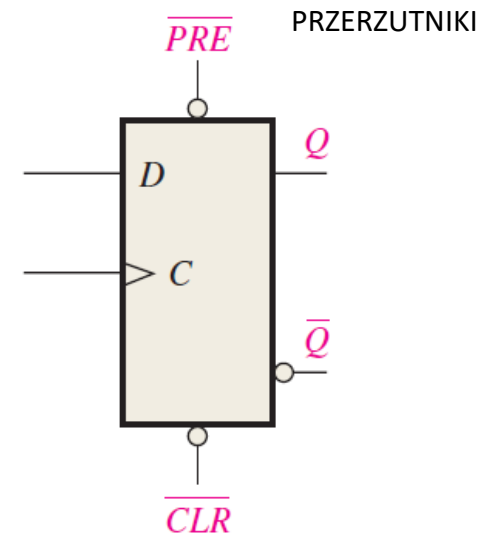
[\*]

asynchroniczne priorytetowe wejście ustawiające preset (PRE)

asynchroniczne priorytetowe wejście zerujące clear (CLR)

PRE aktywny stan 1,  $\overline{PRE}$  aktywny stan 0

CLR aktywny stan 1,  $\overline{CLR}$  aktywny stan 0



[\*]

# ZATRZASKI | PRZERZUTNIKI

# KONIEC

[\*] T.L.Floyd: Digital Fundamentals, PEARSON