

# SPECJALNE RODZAJE BRAMEK LOGICZNYCH

## BUFOROWANE BRAMKI CMOS

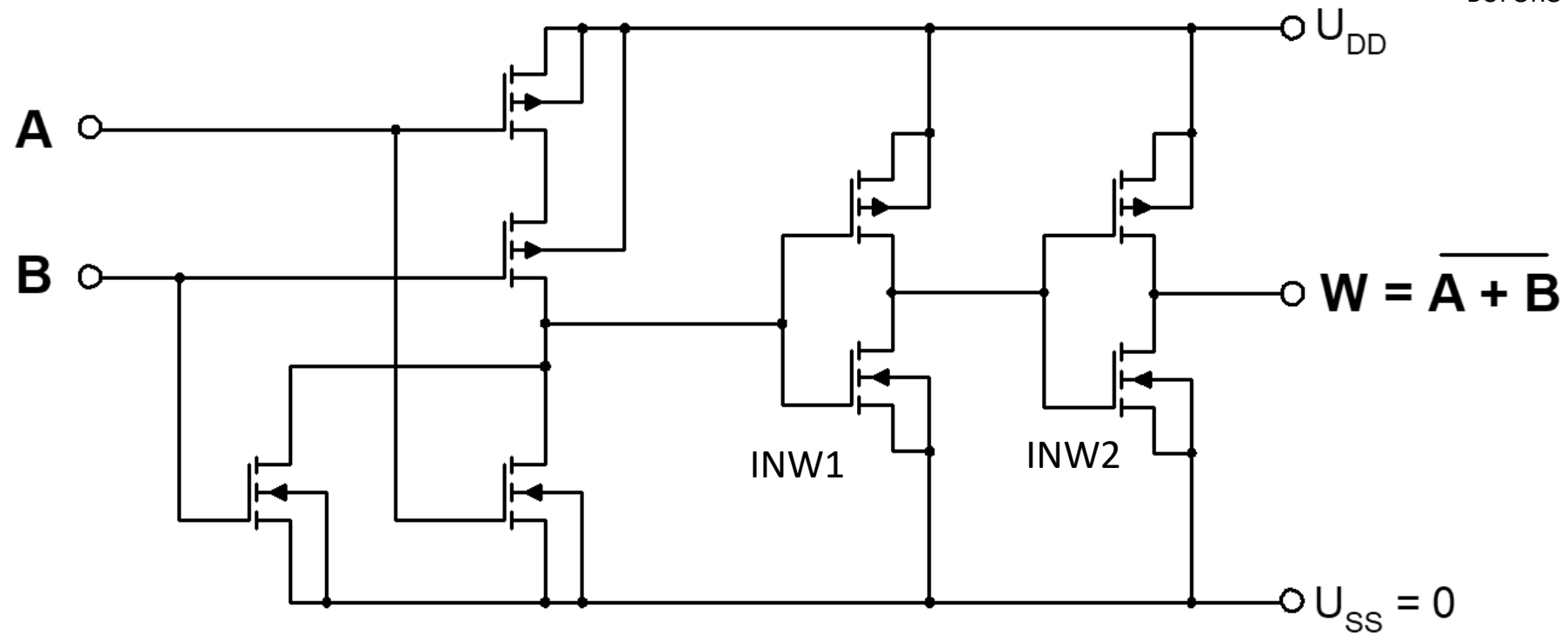
Aby poprawić parametry bramek CMOS stosuje się buforowanie.

Polega ono na wprowadzenie do układu bramki dodatkowych inwerterów dających dodatkowe wzmocnienie w torze transmisji sygnału.

Powoduje to „wyostrzenie” charakterystyk przejściowych bramek.

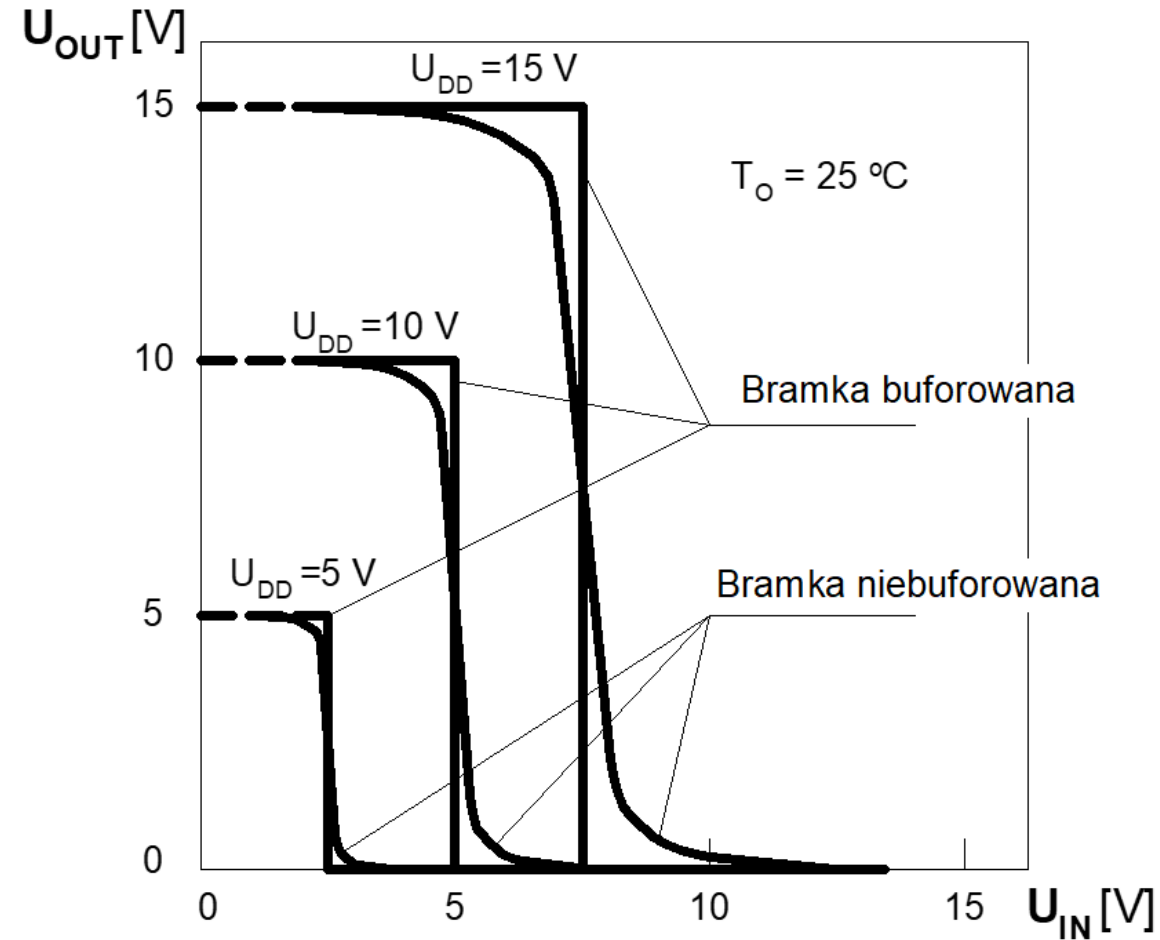
Pewne zwiększenie czasu propagacji sygnału przez bramkę na skutek stosowania buforów zniwelowane zostało poprzez wprowadzenie szybszych technologii.

Układy buforowane CMOS serii 4000 oznacza się dodatkowo literą B (buffered) np. 4001B.



buforowana bramka NOR

Buforowanie polega na wprowadzeniu na wyjście dwóch szeregowo połączonych inwerterów (INW1 i INW2) pełniących wspólną funkcję wzmacniacza nieodwracającego fazy.



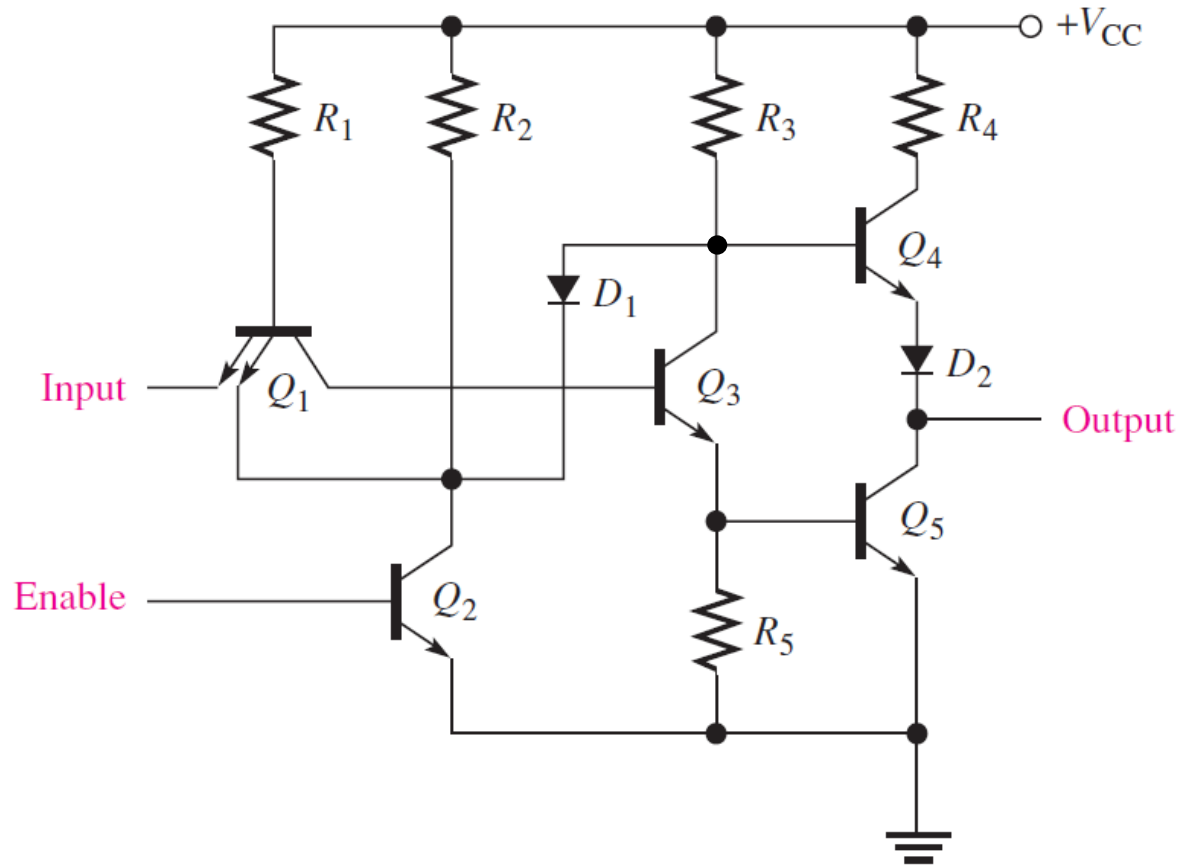
Charakterystyki przejściowe bramki CMOS ilustrujące wpływ bufowania

Bufowanie umożliwia poprawę kształtu charakterystyki przejściowej (tzw. „wyostrzenie”).  
 Charakterystyki przejściowe odpowiadają prawie idealnej charakterystyce prostokątnej

## BRAMKI TRÓJSTANOWE

Są to układy posiadające standardowo dwa stany logiczne tj. niski i wysoki, a stanem trzecim jest stan wysokiej impedancji wyjściowej.

Pozwala to uznać, że bramka w tym trzecim stanie jest jakby odłączona od reszty układu.



trójstanowy inwerter [\*]

Działanie.

Gdy wejściu zezwalającym (Enable) jest nisko (L) tranzystor Q2 jest zatkany, na jego kolektorze jest stan wysoki i dioda D1 nie przewodzi (spolaryzowana zaporowo).

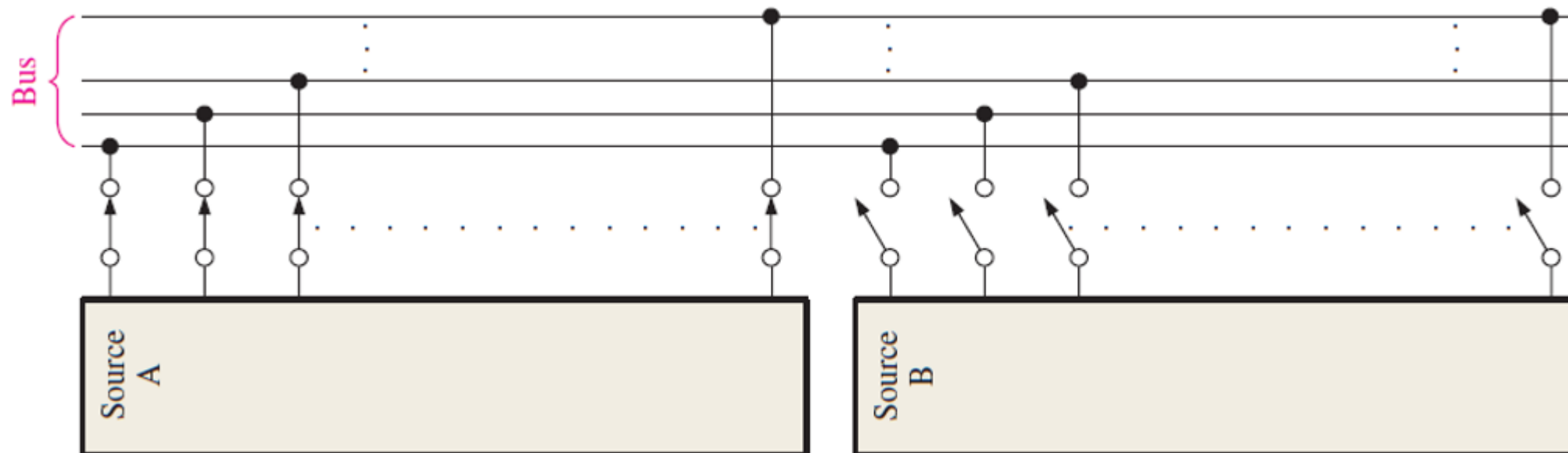
Układ wykonuje swoją funkcję negacji. Stan wyjścia zależy od stanu wejścia.

Gdy wejście zezwalającym (Enable) jest wysoko (H) tranzystor Q2 jest nasycony, na jego kolektorze jest stan niski i dioda D1 przewodzi (spolaryzowana w kierunku przewodzenia) powodując zatkanie tranzystora Q4 i wystąpienia stanu niskiego na drugim emiterze tranzystora. Tranzystor Q1 nasycy się i niskim napięciem na swoim kolektorze zatyka tranzystor Q3 i Q5.

Oba tranzystory układu totem-pole (Q4 i Q5) są zatkane i wyjście jest całkowicie odłączone od wewnętrznego obwodu elektrycznego.

Problem do rozwiązania

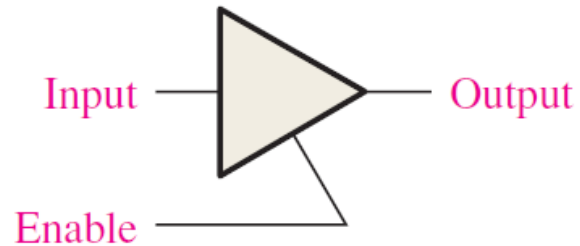
Jak przekazać w sposób niezależny informacje z dwóch źródeł do jednej szyny danych zgodnie z poniższym schematem ideowym ???



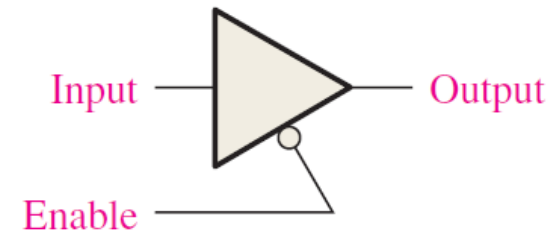
[\*]

Rozwiązanie problemu

Zastosowanie trójstanowych buforów interfejsu szyny danych



*zezwozenie aktywne przy H* [\*]



*zezwozenie aktywne przy L* [\*]

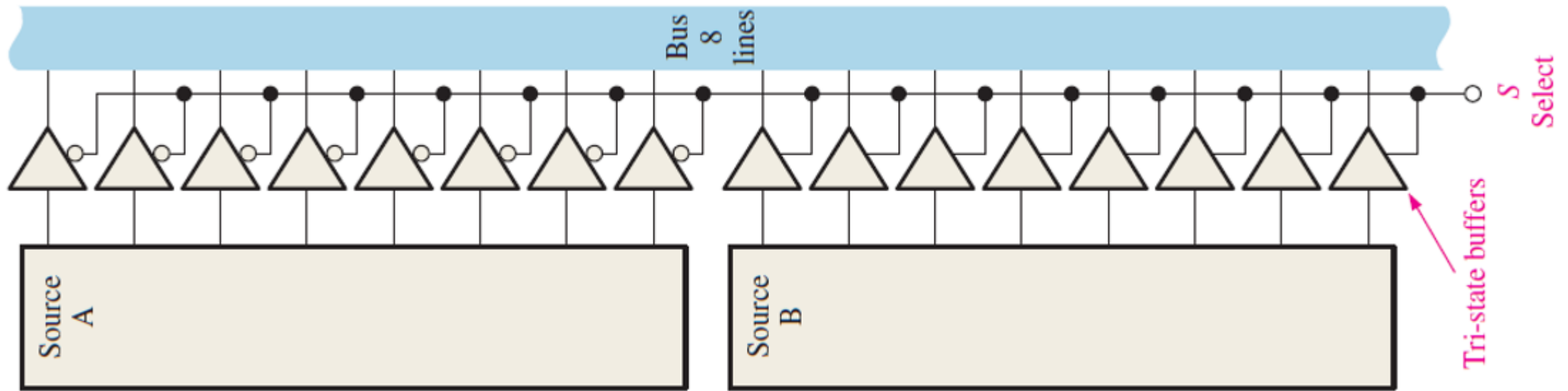
Bufory trójstanowe używane są do łączenia wyjść urządzenia źródłowego z magistralą.

Zazwyczaj więcej niż jedno źródło jest podłączone do magistrali, ale tylko jedno może mieć dostęp w danym momencie.

Wszystkie inne źródła w tym momencie muszą być odłączone od magistrali, aby zapobiec rywalizacji o magistralę.

Układy trójstanowe służą do podłączania źródła do magistrali lub odłączania go od magistrali.

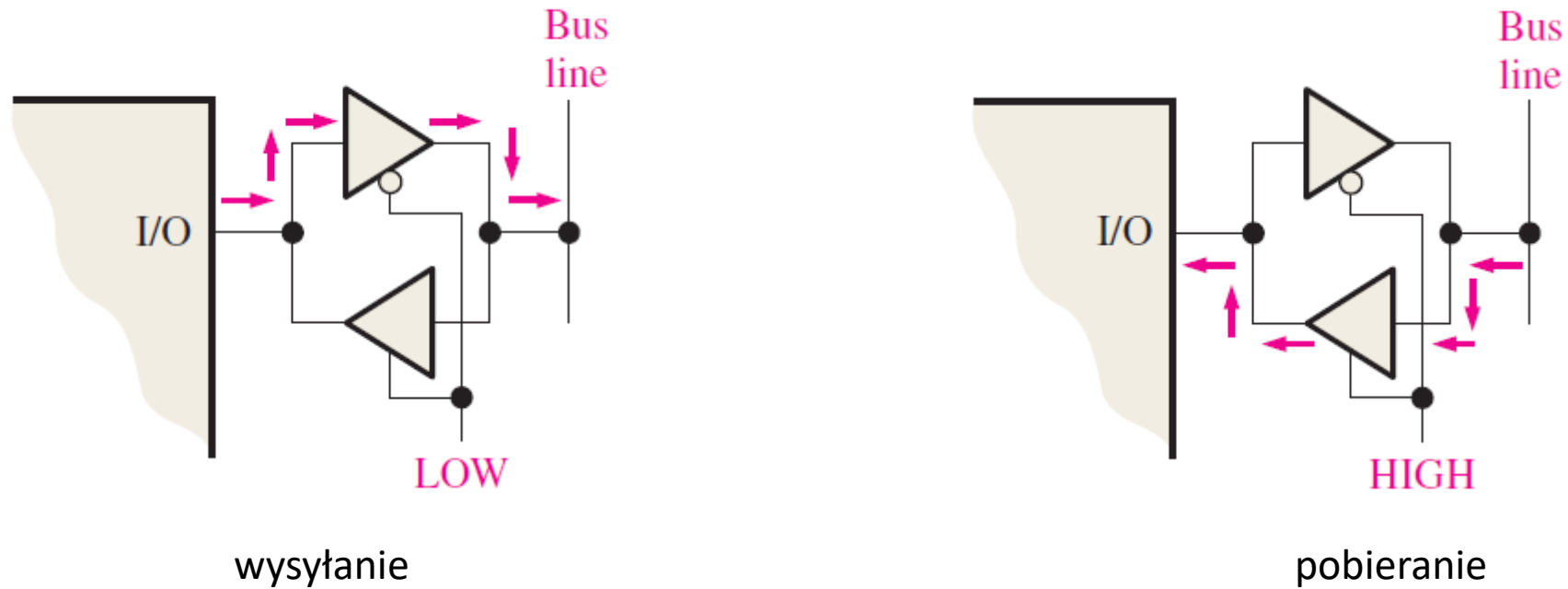




### Zastosowanie trójstanowych buforów interfejsu szyny danych [\*]

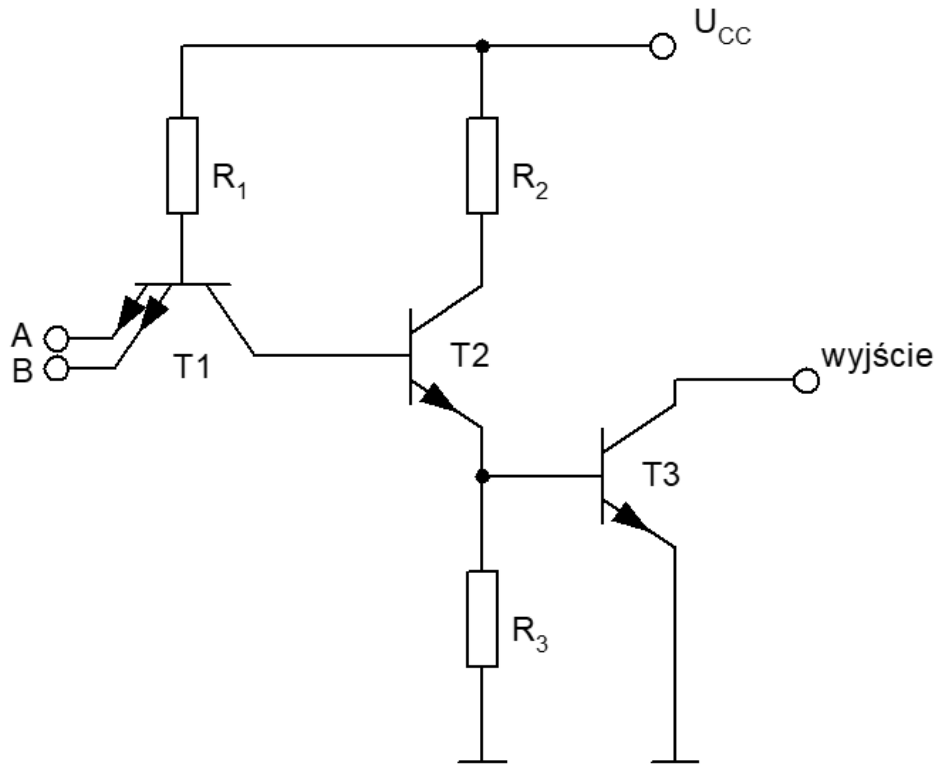
Do magistrali dołączane jest albo źródło A, albo źródło B, ale nie oba w tym samym czasie.  
 Gdy na wejściu S (Select) jest nisko (L) źródło A jest podłączone, a źródło B odłączone.  
 Gdy na wejściu S (Select) jest wysoko (H) źródło A jest odłączone, a źródło B połączone.

## Bramki trójstanowe jako porty WE/WY (I/O ports) szyny danych



Dwukierunkowy interfejs buforów trójstanowych [\*]

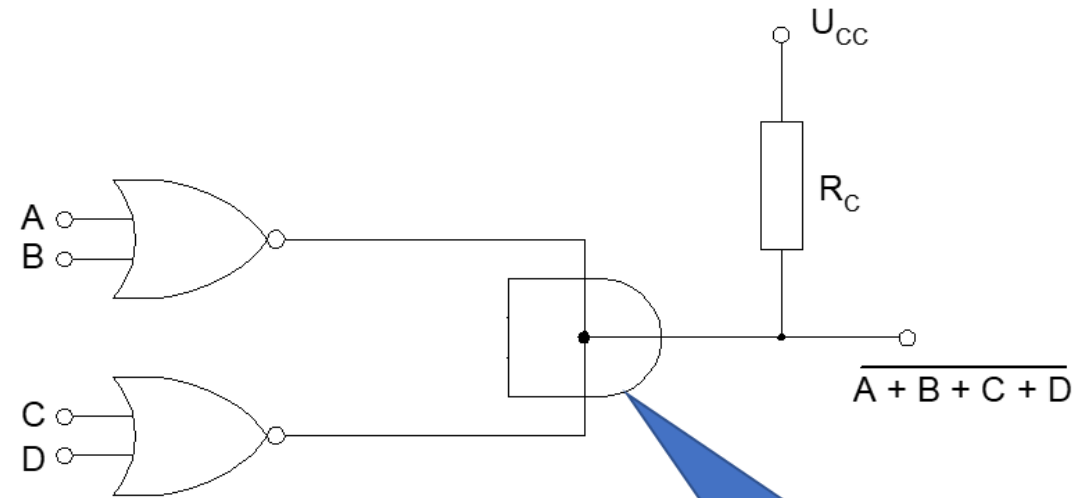
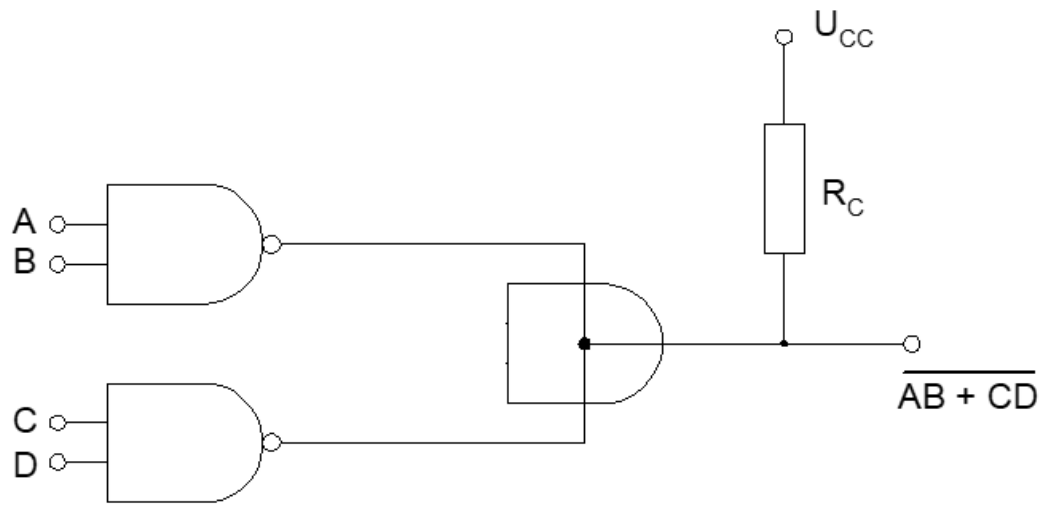
## BRAMKI Z OTWARTYM KOLEKTOREM



Kolektor tranzystora wyjściowego T3 jest bezpośrednio wyprowadzony na zewnątrz układu.

Zatem w przypadku tych bramek należy zawsze przewidzieć dołączenie zewnętrznego obciążenia kolektorowego.

Umożliwiają równoległe łączenie wyjść dając możliwość realizacji tzw. sumy montażowej, zwanej też sumą na drucie (*wired-OR*), oraz iloczynu montażowego (*wired-AND*).



połączenie kolektorów tranzystorów wyjściowych bramek na jednym oporniku daje możliwość wykonania funkcji iloczynu logicznego

symbol  
połączenia  
bramek

$$\overline{AB} \cdot \overline{CD} = \overline{AB + CD}$$

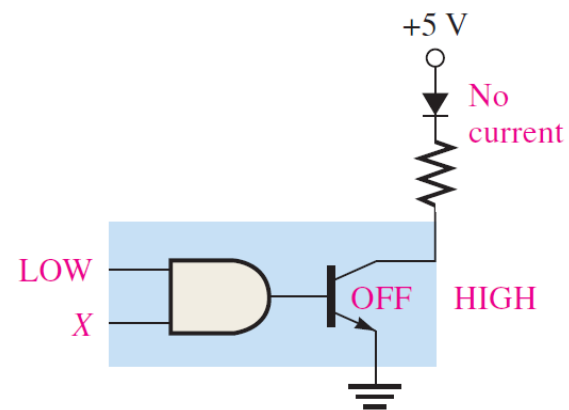
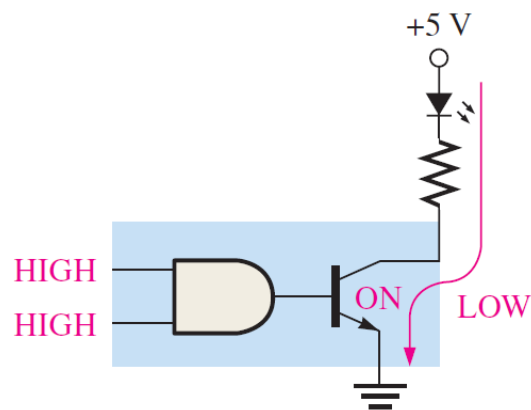
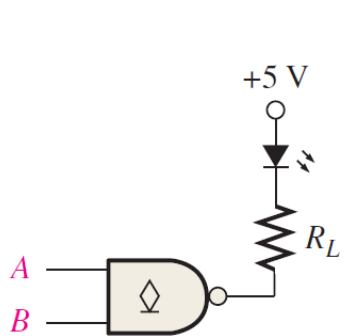
iloczyn na drucie

suma na drucie po  
przekształceniu z  
wykorzystaniem  
prawa de Morgana

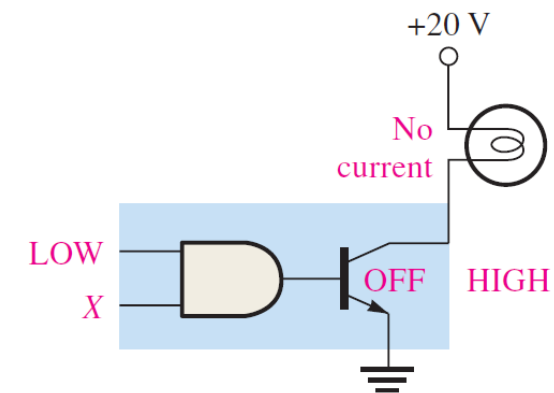
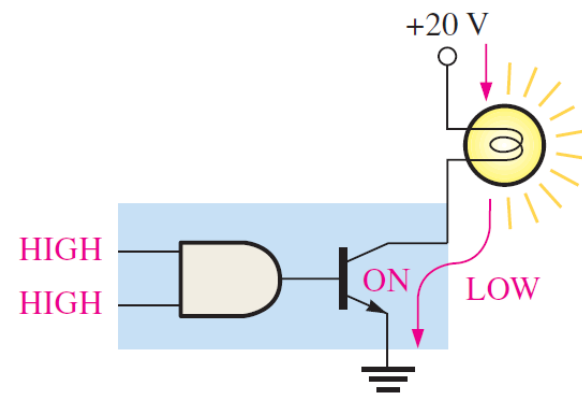
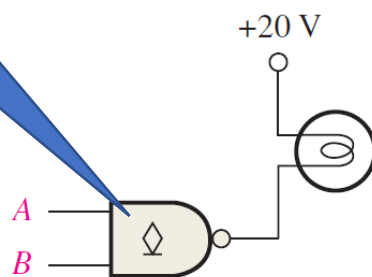
$$\overline{A + B} \cdot \overline{C + D} = \overline{A + B + C + D}$$

iloczyn na drucie

suma na drucie po  
przekształceniu z  
wykorzystaniem  
prawa de Morgana



oznaczenie  
bramki z  
otwartym  
kolektorem



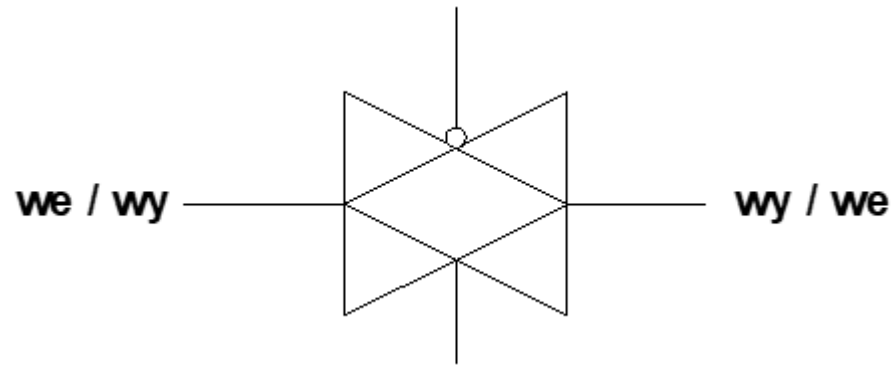
[\*]

bramka z otwartym kolektorem serująca przykładowymi obciążeniami zewnętrznymi

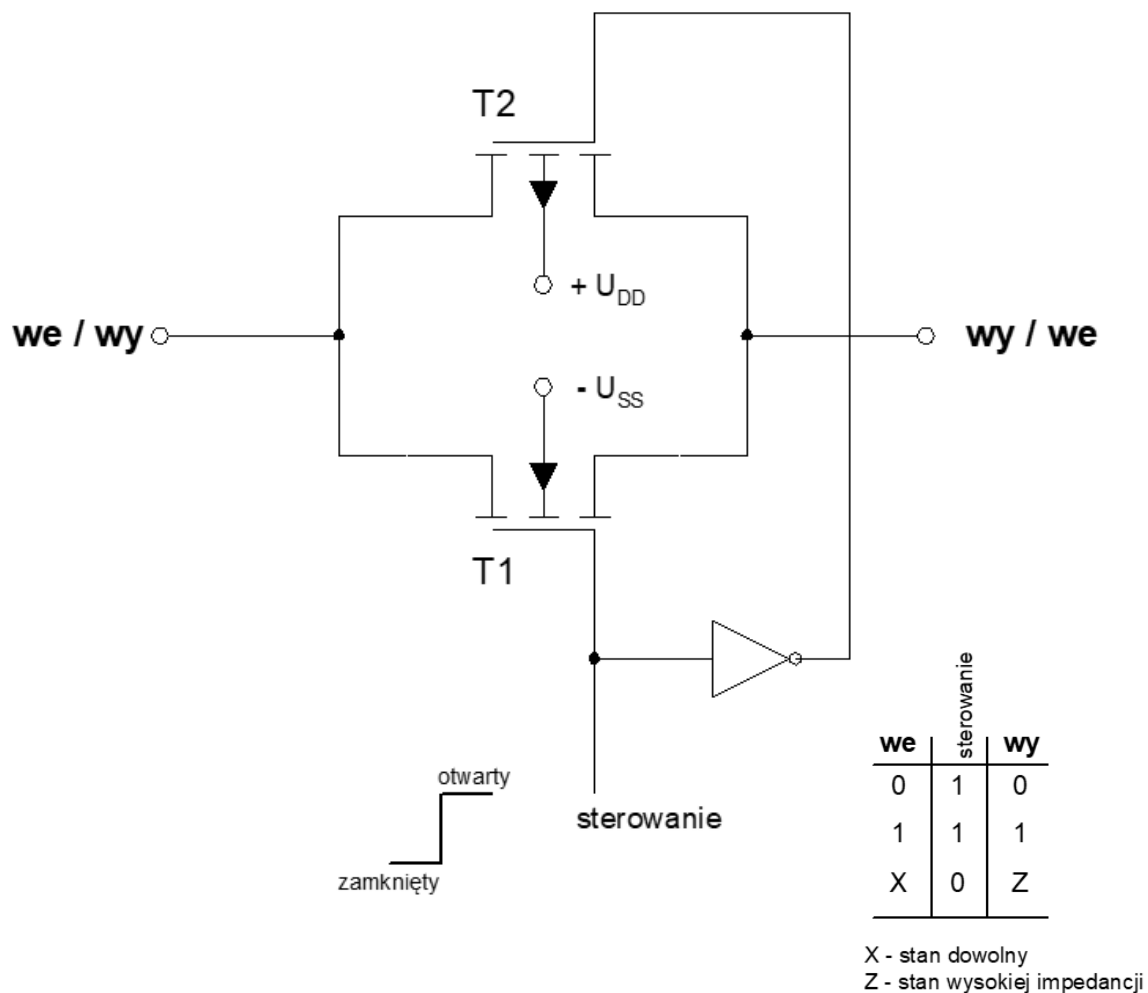
## BRAMKA TRANSMISYJNA

Bramki transmisyjne umożliwiają przesyłanie sygnałów w danym torze, w obie strony, w czasie trwania odpowiedniego poziomu impulsu sterującego.

Bramka transmisyjna nie wykazuje kierunkowości - jeśli jest otwarta, może transmitować sygnał w obu kierunkach.



symbol bramki transmisyjnej



schemat bramki transmisyjnej

### Budowa i działanie.

Zbudowana z pary tranzystorów komplementarnych polowych MOS.

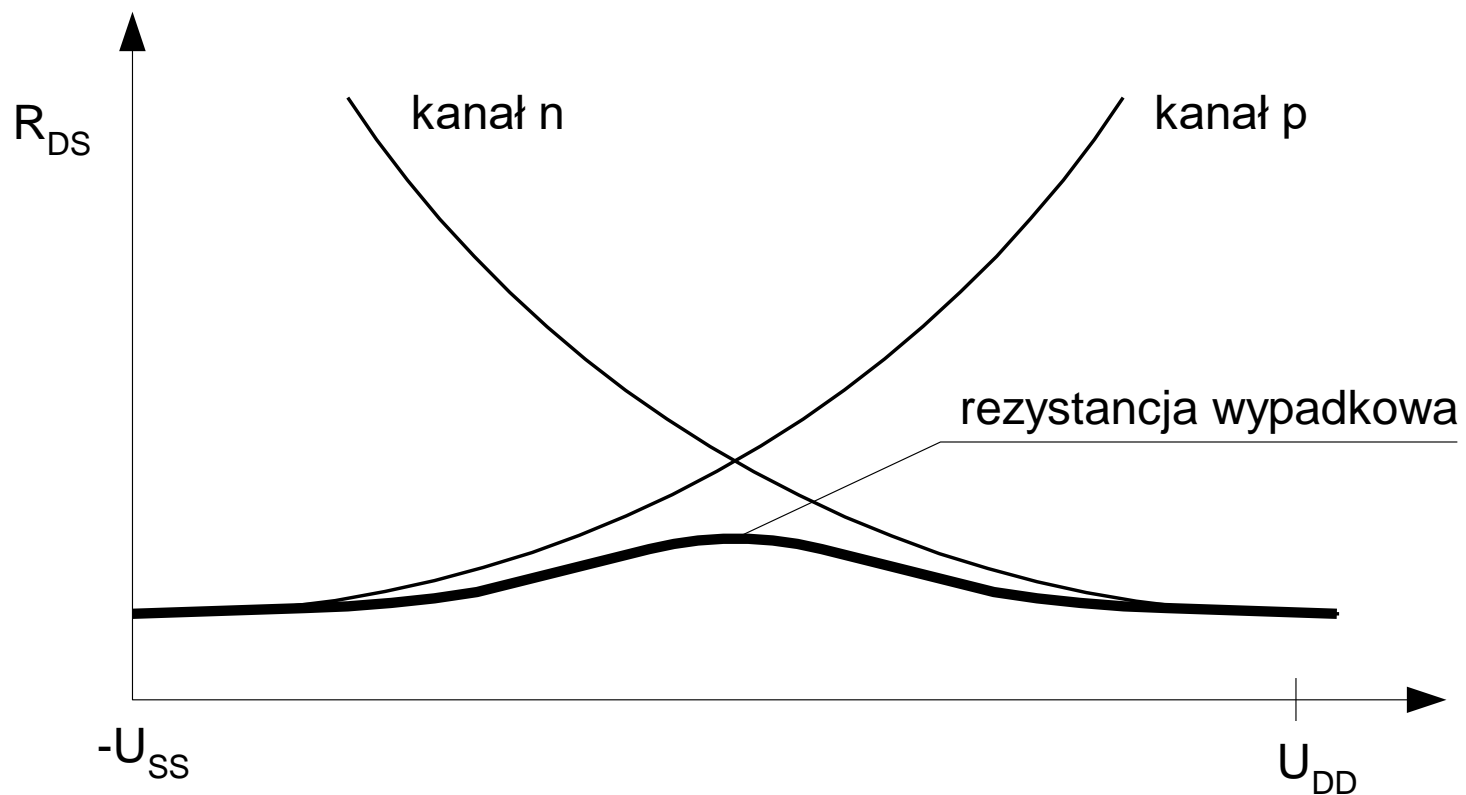
Elektroda bramki tranzystora T1 sterowana jest bezpośrednio, a elektroda bramki tranzystora T2 sterowana poprzez inwerter.

Dla stanu wysokiego na wejściu sterującym i dla sygnałów wejściowych o niskim potencjale przewodzi tranzystor T2.

Dla sygnałów o potencjale wysokim przewodzi tranzystor T1.

Istnieje zakres gdzie przewodzić mogą oba tranzystory.

Gdy na wejściu sterującym poziom niski (L) oba tranzystory ustawione w stan wysokiej rezystancji kanału dren - źródło i bramka realizuje rozwarcie obwodu między wejściem a wyjściem.



Zmiany rezystancji przewodzących kanałów dren - źródło tranzystorów CMOS bramki transmisyjnej w funkcji napięć wejściowych



# SPECJALNE RODZAJE BRAMEK LOGICZNYCH

K O N I E C

[\*] T.L.Floyd: Digital Fundamentals, PEARSON