
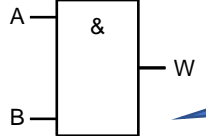

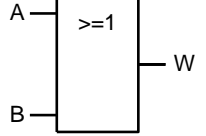

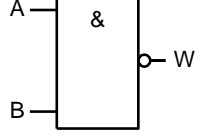

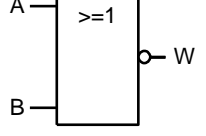
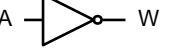
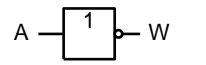

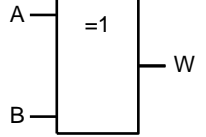
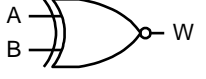
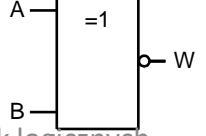



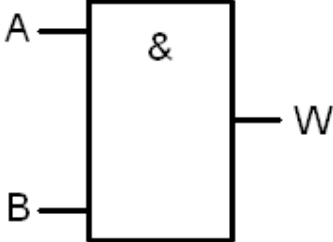

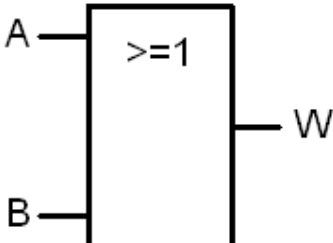
TECHNIKI REALIZACJI BRAMEK LOGICZNYCH


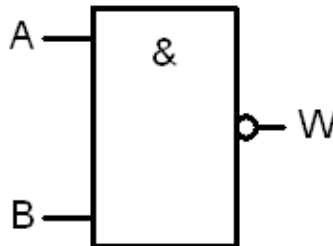

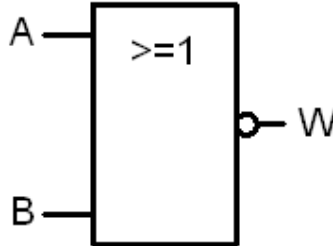
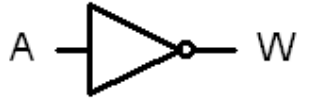
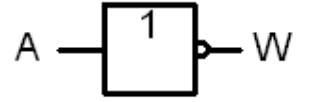
Oznaczenie	Funkcja	Tabela prawdy	Symbole															
AND	$W = A B$	<table border="1"> <thead> <tr><th>A</th><th>B</th><th>W</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	A	B	W	0	0	0	0	1	0	1	0	0	1	1	1	 
A	B	W																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
OR	$W = A + B$	<table border="1"> <thead> <tr><th>A</th><th>B</th><th>W</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	A	B	W	0	0	0	0	1	1	1	0	1	1	1	1	 
A	B	W																
0	0	0																
0	1	1																
1	0	1																
1	1	1																
NAND	$W = \overline{A B}$	<table border="1"> <thead> <tr><th>A</th><th>B</th><th>W</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	A	B	W	0	0	1	0	1	1	1	0	1	1	1	0	 
A	B	W																
0	0	1																
0	1	1																
1	0	1																
1	1	0																
NOR	$W = \overline{A + B}$	<table border="1"> <thead> <tr><th>A</th><th>B</th><th>W</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	A	B	W	0	0	1	0	1	0	1	0	0	1	1	0	 
A	B	W																
0	0	1																
0	1	0																
1	0	0																
1	1	0																
NOT	$W = \overline{A}$	<table border="1"> <thead> <tr><th>A</th><th>W</th></tr> </thead> <tbody> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </tbody> </table>	A	W	0	1	1	0	 									
A	W																	
0	1																	
1	0																	
XOR (EXCLUSIVE OR)	$W = \overline{A}B + A\overline{B} = A \oplus B$	<table border="1"> <thead> <tr><th>A</th><th>B</th><th>W</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	A	B	W	0	0	0	0	1	1	1	0	1	1	1	0	 
A	B	W																
0	0	0																
0	1	1																
1	0	1																
1	1	0																
XNOR (EXCLUSIVE NOR)	$W = \overline{A}B + A\overline{B} = \overline{A \oplus B}$	<table border="1"> <thead> <tr><th>A</th><th>B</th><th>W</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	A	B	W	0	0	1	0	1	0	1	0	0	1	1	1	 
A	B	W																
0	0	1																
0	1	0																
1	0	0																
1	1	1																

symbole o kształtach
zróźnicowanych

symbole o kształtach
prostokątnych

Przypomnienie
rodzajów
podstawowych
bramek logicznych

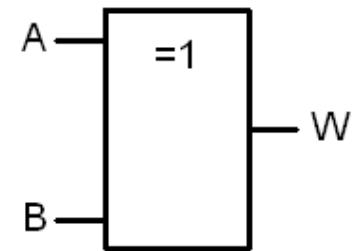
Oznaczenie	Funkcja	Tabela prawdy	Symbol															
AND	$W = A \cdot B$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>W</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	W	0	0	0	0	1	0	1	0	0	1	1	1	 
A	B	W																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
OR	$W = A + B$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>W</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	W	0	0	0	0	1	1	1	0	1	1	1	1	 
A	B	W																
0	0	0																
0	1	1																
1	0	1																
1	1	1																

<p>NAND</p>	$W = \overline{A B}$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>W</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	W	0	0	1	0	1	1	1	0	1	1	1	0		
A	B	W																	
0	0	1																	
0	1	1																	
1	0	1																	
1	1	0																	
<p>NOR</p>	$W = \overline{A + B}$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>W</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	W	0	0	1	0	1	0	1	0	0	1	1	0		
A	B	W																	
0	0	1																	
0	1	0																	
1	0	0																	
1	1	0																	
<p>NOT</p>	$W = \overline{A}$	<table border="1"> <thead> <tr> <th>A</th> <th>W</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	W	0	1	1	0											
A	W																		
0	1																		
1	0																		

XOR
(EXCLUSIVE
OR)

$$W = \bar{A}B + A\bar{B} = A \oplus B$$

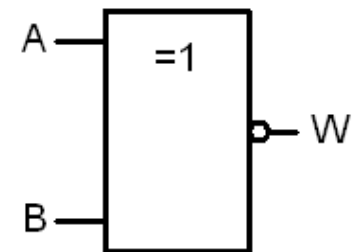
A	B	W
0	0	0
0	1	1
1	0	1
1	1	0



XNOR
(EXCLUSIVE
NOR)

$$W = \bar{A}\bar{B} + AB = \overline{A \oplus B}$$

A	B	W
0	0	1
0	1	0
1	0	0
1	1	1

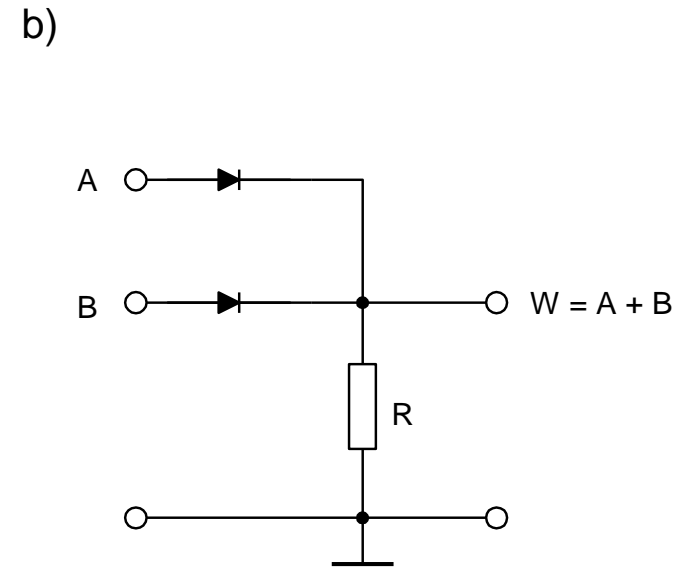
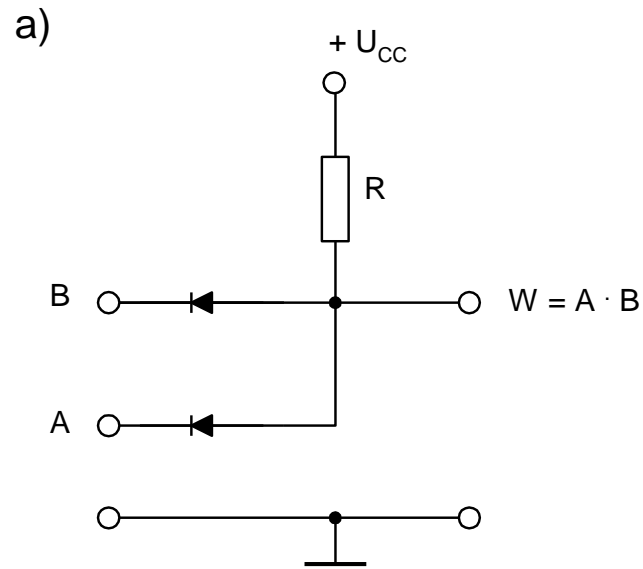


WCZESNE KONSTRUKCJE BRAMEK LOGICZNYCH

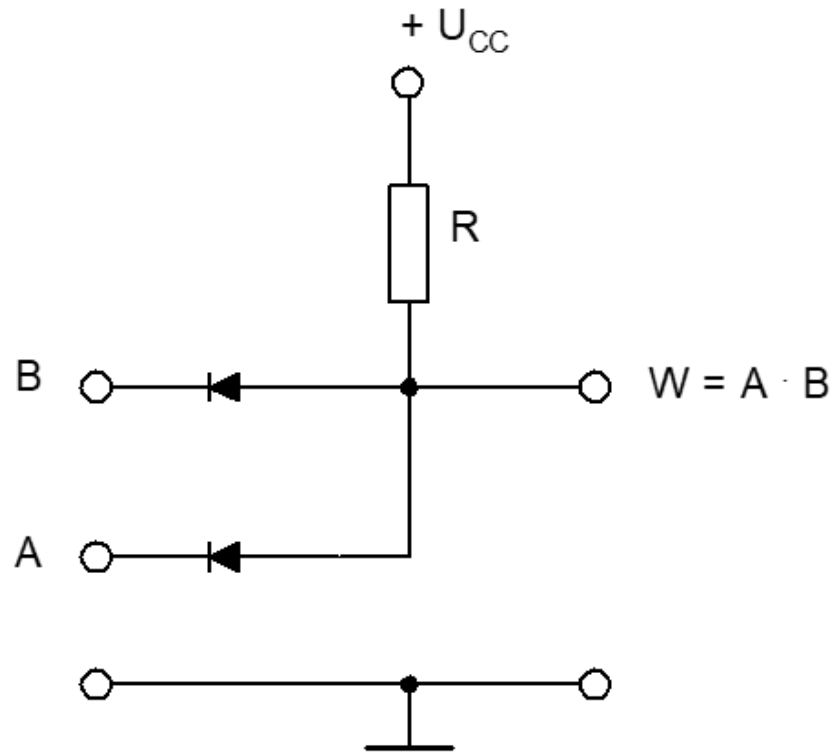
RDL (Resistor Diode Logic)

technika rezystorowo diodowa

Najprostsze bramki logiczne



Bramki techniki RDL: bramka AND (a) i OR (b)



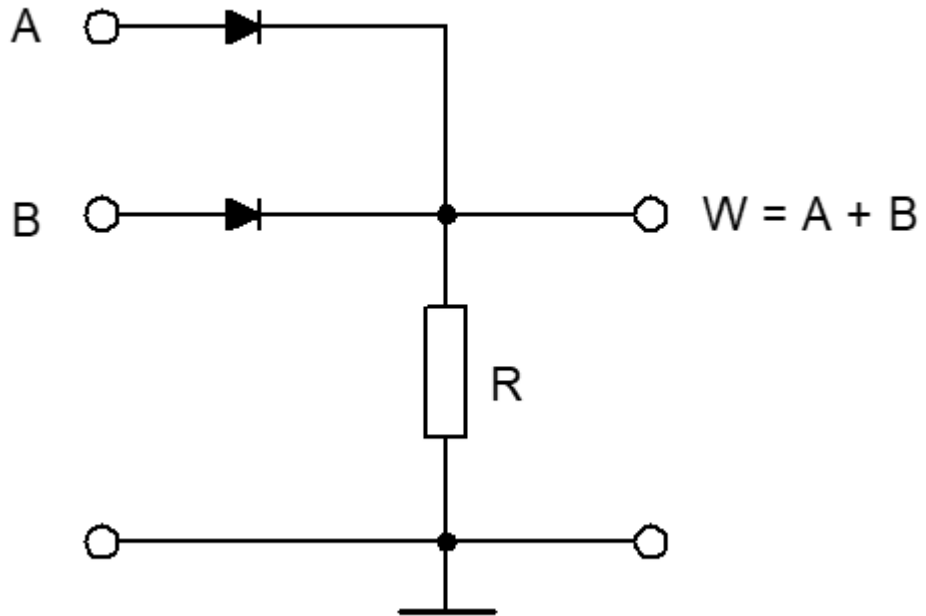
Bramka AND w technice RDL

Jeśli którekolwiek z wejść utrzymywane jest w stanie niskim wyjście jest również w stanie niskim.

Prąd płynie od dodatniego napięcia zasilania +U_{CC} poprzez rezystor R i diodę do masy układu.

Na wyjściu otrzymujemy stan niski o wartości ok. 0,7 V (spadek napięcia na przewodzącej diodzie).

Gdy oba wejścia są w stanie wysokim na wyjściu stan wysoki.



Bramka OR w technice RDL

Gdy którekolwiek z wejść jest w stanie wysokim na wyjściu jest stan wysoki pomniejszony jedynie o spadek napięcia na przewodzącej diodzie. Źródłem prądu jest w tym przypadku wymuszenie wejściowe.

Gdy oba wejścia są w stanie niskim na wyjściu również jest stan niski.

Właściwości techniki RDL

Bramki techniki RDL nie zapewniają wykonania funkcji negacji zatem nie mogą tworzyć systemu funkcjonalnie pełnego.

Wady:

- w bramce AND poziom niski na wyjściu jest o 0,7 V wyższy (przewodząca dioda) od stanu niskiego na wejściu;
- w bramce OR poziom wysoki na wyjściu jest o 0,7 V niższy od poziomu wysokiego na wejściu (brak regeneracji impulsu); cechy te uniemożliwiają szeregowe łączenie wielu bramek,
- istnienie “przezroczystości” układu – każde obciążenie wyjścia jest widziane przez sygnał wejściowy co daje małą obciążalność bramki,
- mała szybkość działania układu z uwagi na stosunkowo dużą wartość rezystancji rezystora.

Zalety:

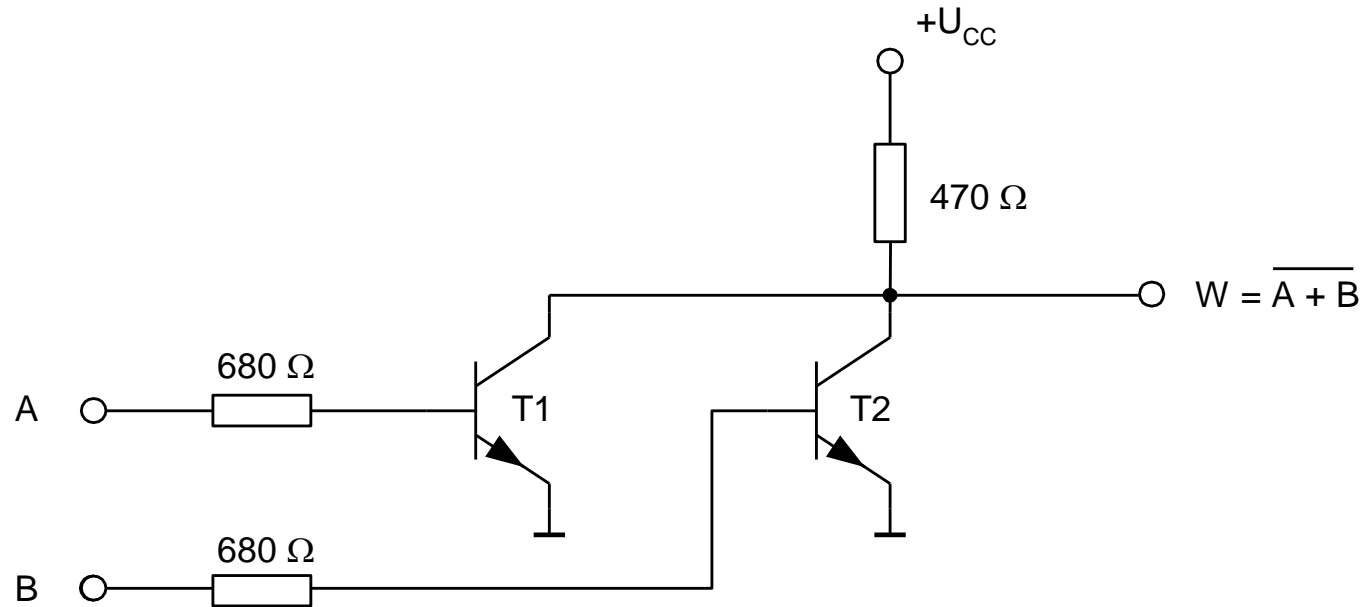
- ewidentna prostota konstrukcji lecz nie były one nigdy wytwarzane jako układy scalone.

RTL (Resistor Transistor Logic)

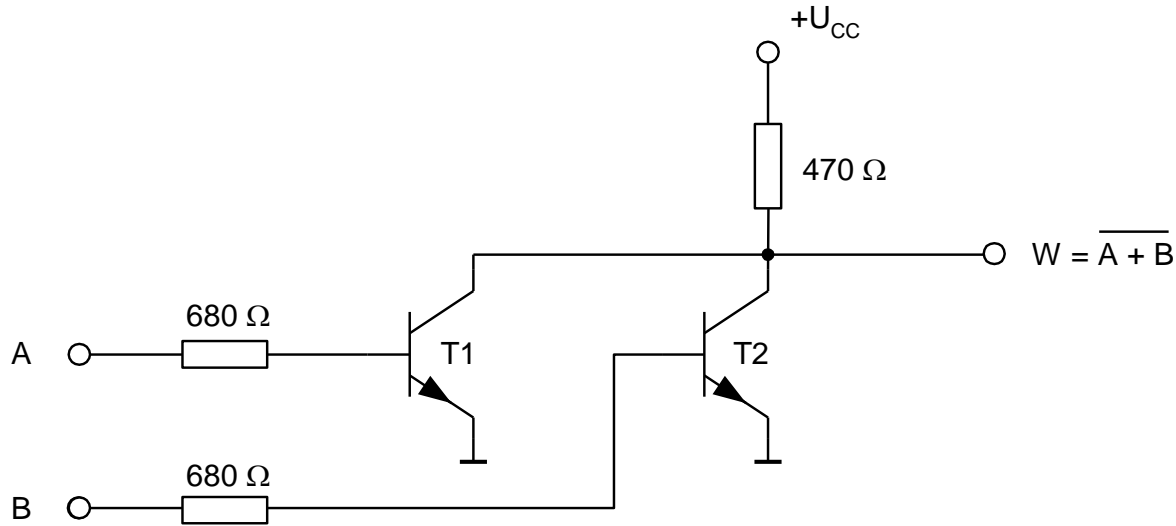
technika rezystorowo tranzystorowa

Historycznie pierwsze układy scalone zawierały bramki wykonywane techniką RDL

W technice RTL zbudowany był komputer pokładowy amerykańskiego lądowika księżycowego w misji Apollo



Bramka NOR w technice RTL



*Bramka NOR
w technice RTL*

Jeśli na którymkolwiek wejściu jest stan wysoki to tranzystor T1 lub T2 nasycy się i na wyjściu jest stan niski.

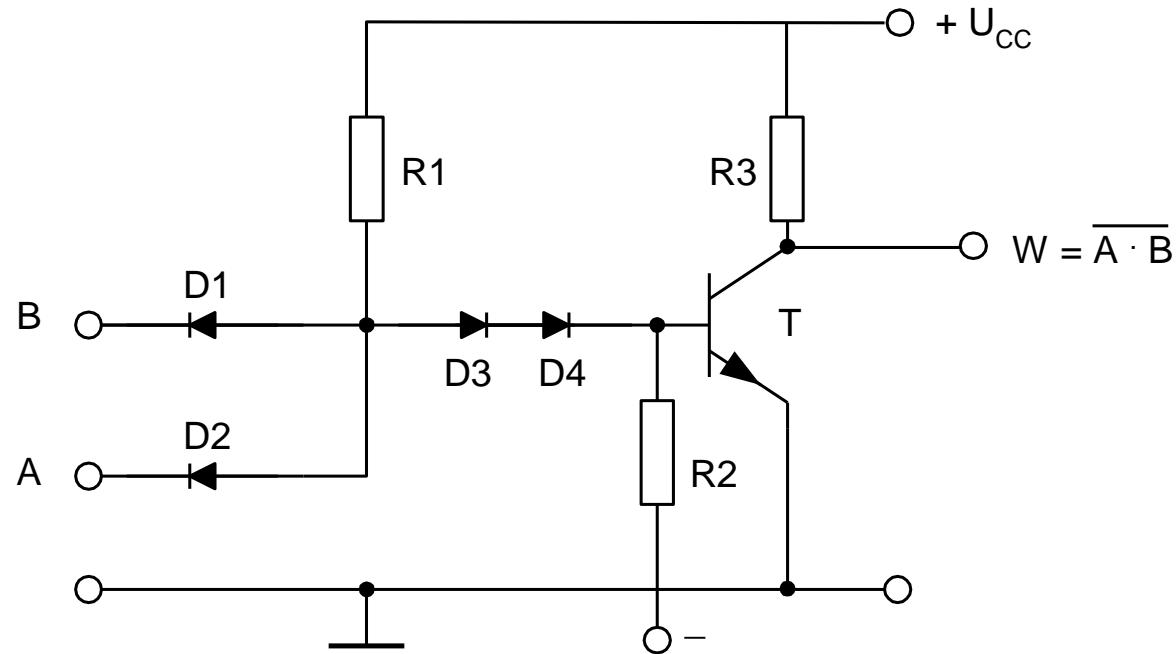
Jedynie oba stany niskie na wejściach powoduje zatkanie obu tranzystorów i na wyjściu stan wysoki.

Wady:

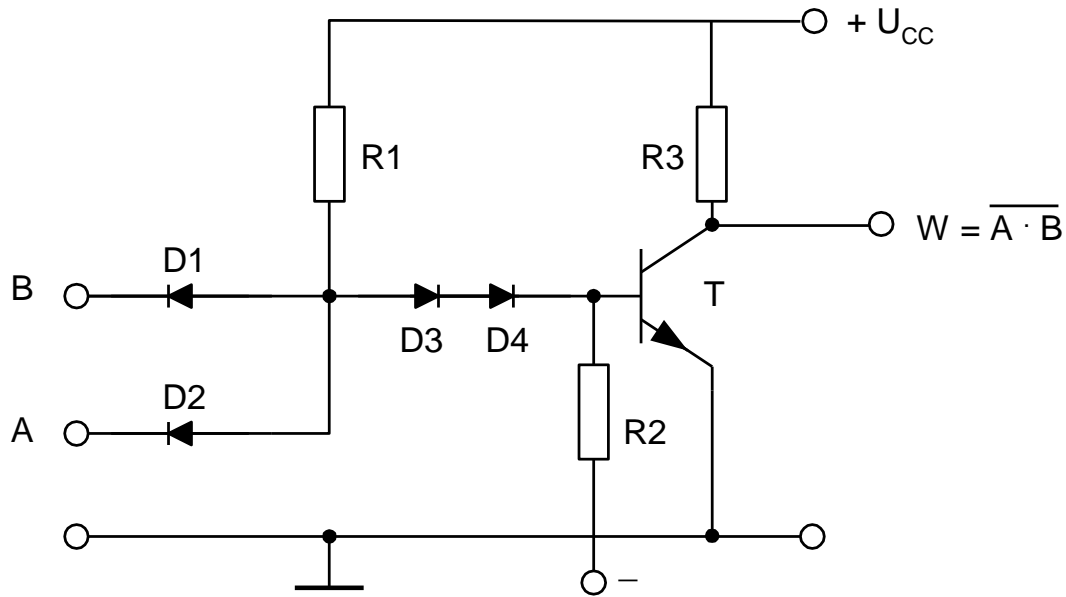
- duży prąd wejściowy bramki przy poziomie wysokim na wejściu
- mały margines zakłóceń przy zwiększeniu liczby sterowanych bramek

DTL (Diode Transistor Logic)

technika diodowo tranzystorowa



Bramka NAND w technice DTL



Bramka NAND
w technice DTL

Elementy R1, D1 i D2 stanowią bramkę AND z techniki RDL.

Diody D3, D4 i rezystor R2 wraz z ujemnym źródłem powodują zwiększenie progu przełączenia klucza tranzystorowego T.

Klucz T wykonuje funkcję negacji oraz powoduje regenerację poziomu napięcia wyjściowego bramki.

Dla stanu niskiego na którymkolwiek z wejść układu tranzystor jest zatkany i poziom wyjściowy jest wysoki.

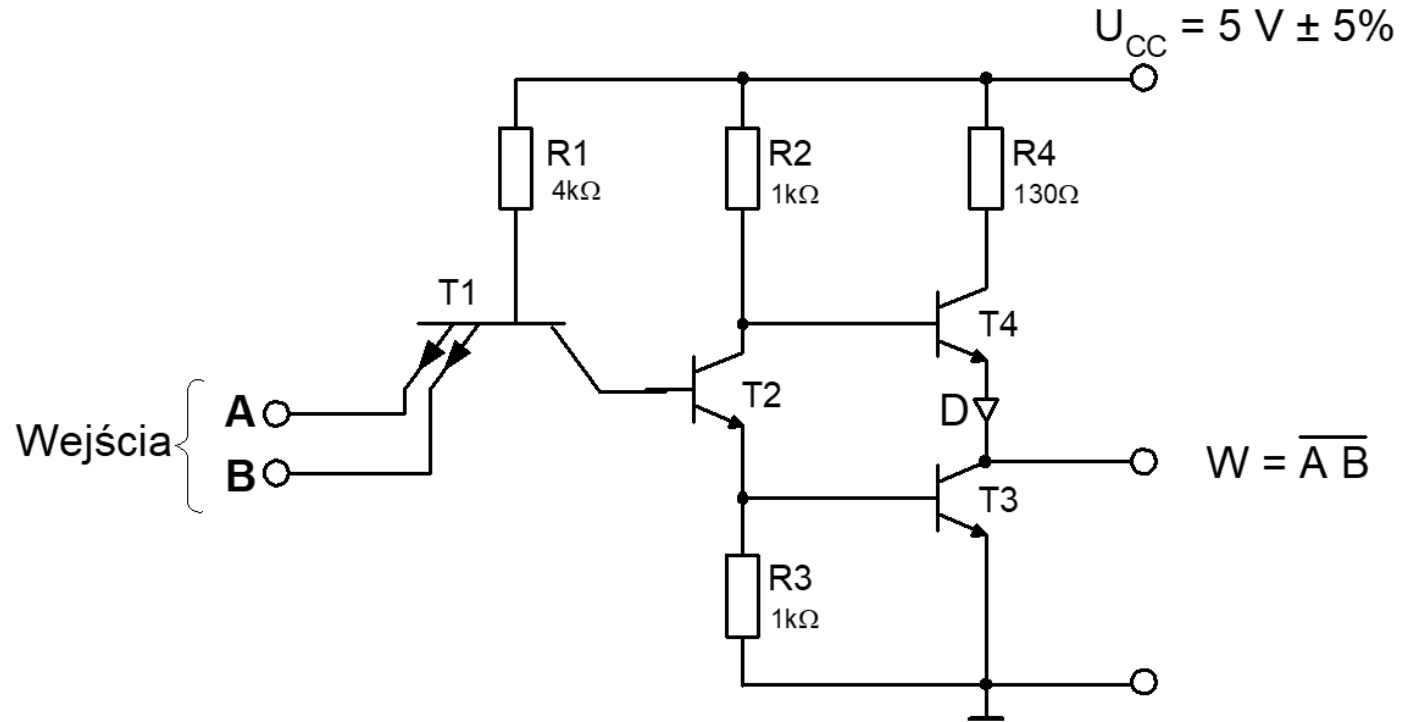
Dla stanu wysokiego na obu wejściach jednocześnie tranzystor jest nasycony i napięcie wyjściowe wynosi $U_{CEsat} = 0,2 \text{ V}$.

Prądy wejściowe bramki zrealizowanej są praktycznie pomijalne przy poziomie H na wejściach.

BRAMKI TTL

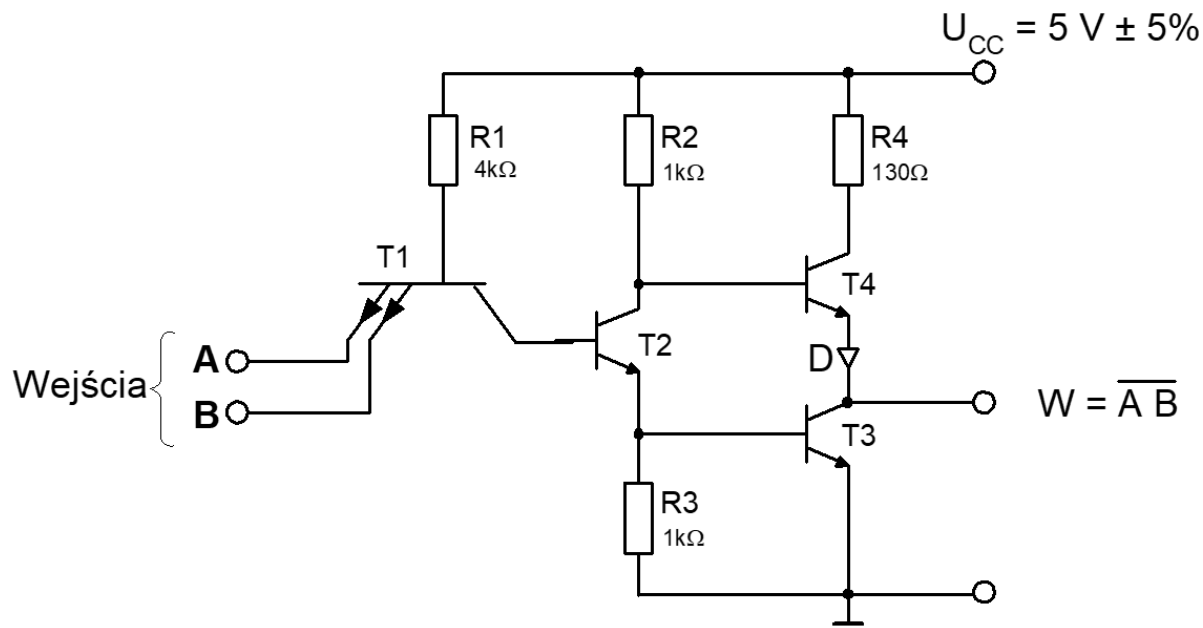
TTL (Transistor-Transistor Logic)

technika tranzystorowo tranzystorowa



Standardowa bramka NAND techniki TTL

– opis budowy



Układ iloczynowy realizowany jest przy pomocy wieloemiterowego tranzystora T1. Jeśli na którymkolwiek wejściu (emiterze) jest stan niski tranzystor jest nasycony i na jego kolektorze jest też stan niski. Stan wysoki jest jedynie wtedy gdy wszystkie wejścia są w stanie wysokim.

$$W = \overline{A B}$$

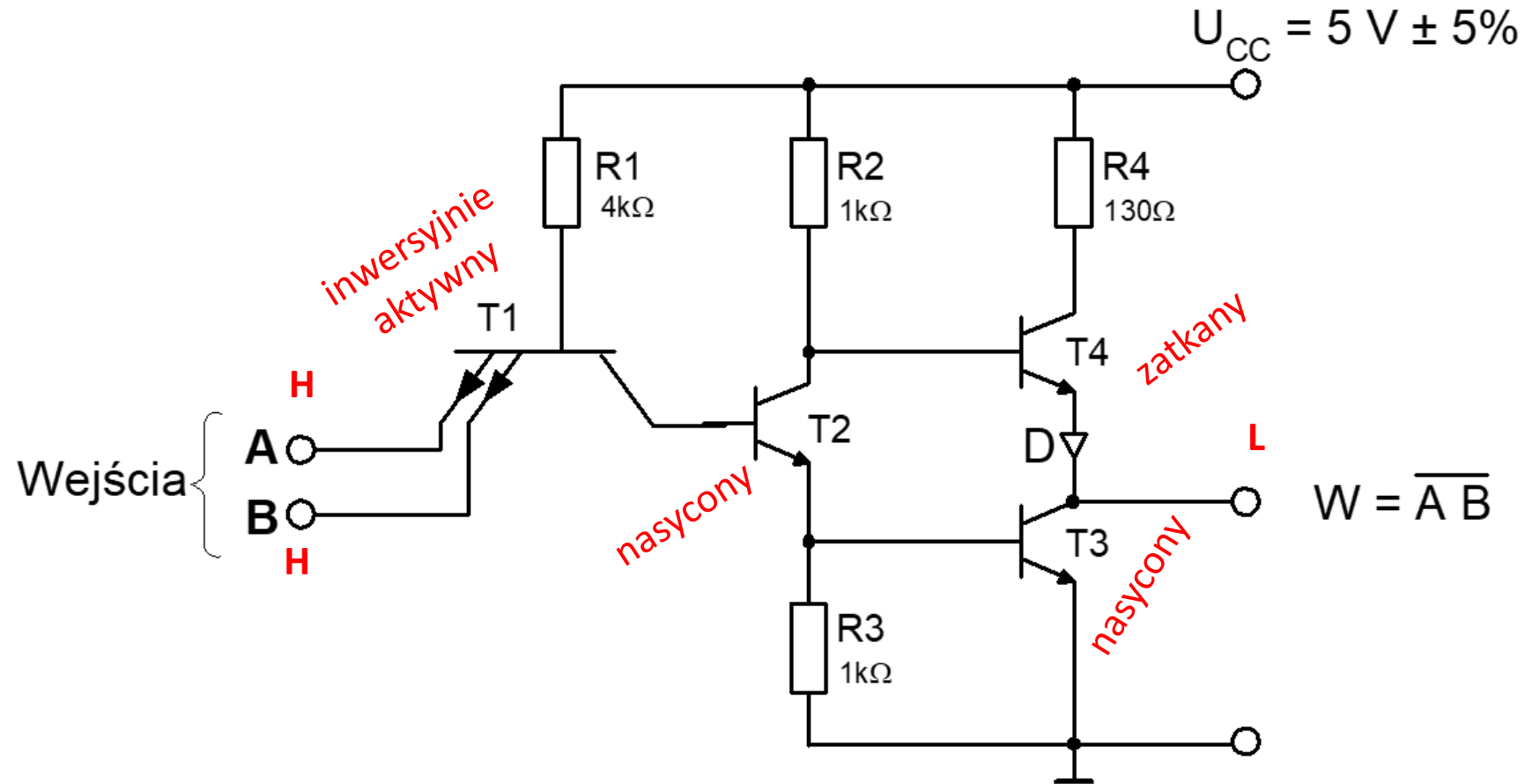
Tranzystor T2 działa dwójako tj. jako wtórnik emiterowy i jako inwerter. Wtórnikiem emiterowym jest w stosunku do tranzystora T3 natomiast jest w przeciwfazie w stosunku do tranzystora T4.

Dioda D w emiterze tranzystora T4 zapewnia jego zatkanie wtedy, gdy tranzystory T2 i T3 są w stanie nasycenia (wtedy, gdy na wyjściu bramki jest poziom niski).

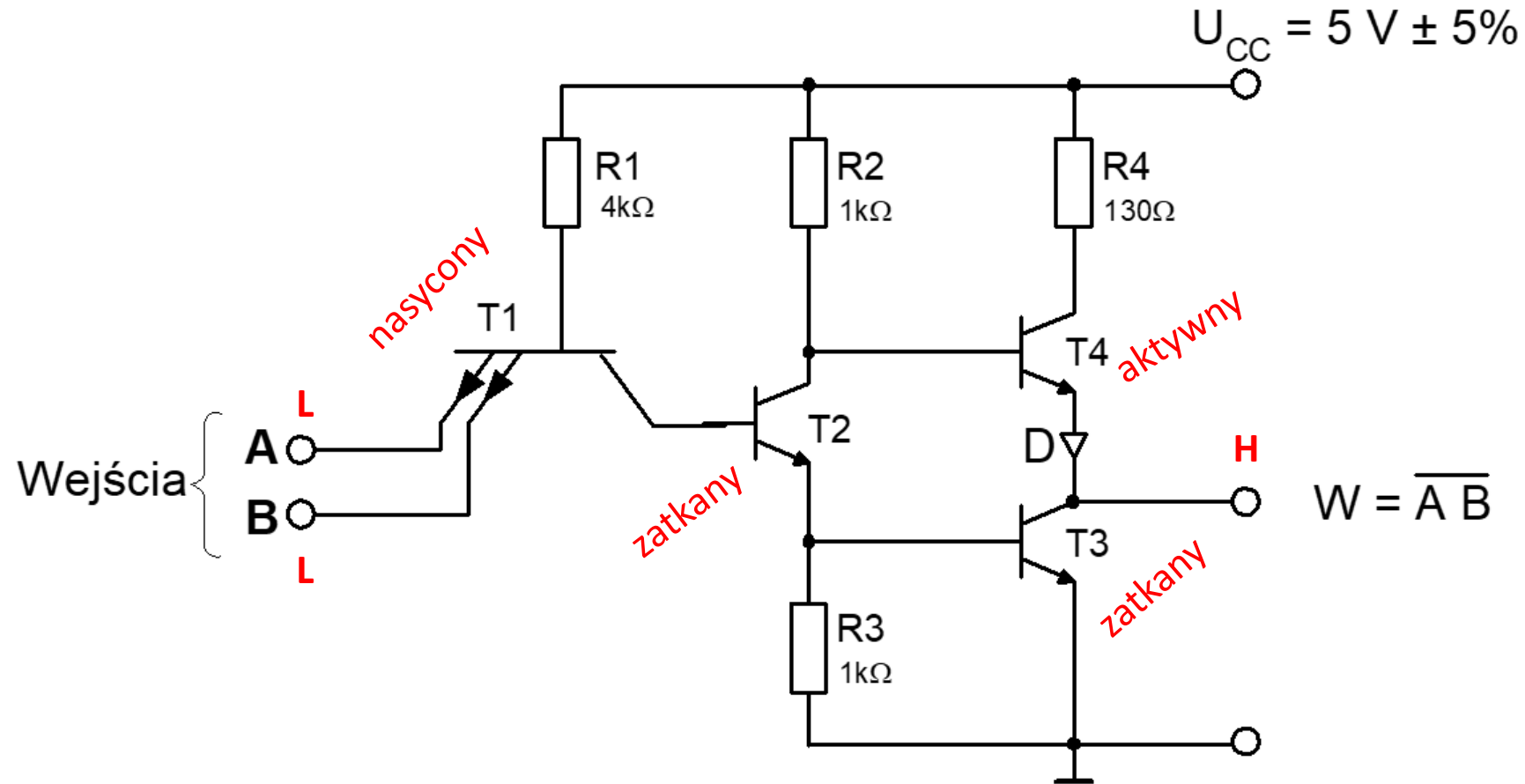
Jest to tzw. „usprawnienie zatkania”.

Tranzystory T3 i T4 ze względu na szeregowe połączenia względem źródła zasilania stanowią dla siebie wzajemne obciążenie co wpływa korzystnie na proces przełączania. Jest to układ totem-pole.

Gdy tranzystor T3 jest sterowany w kierunku przewodzenia to tranzystor T4 w kierunku zaporowym i odwrotnie.

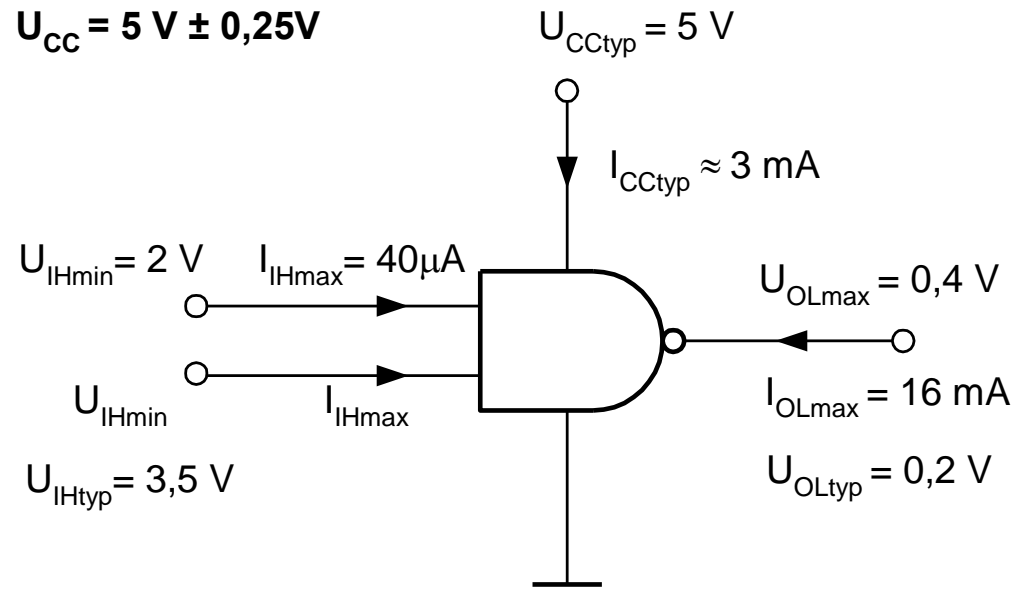


Standardowa bramka NAND techniki TTL
stany tranzystorów przy poziomie wysokim na obu wejściach

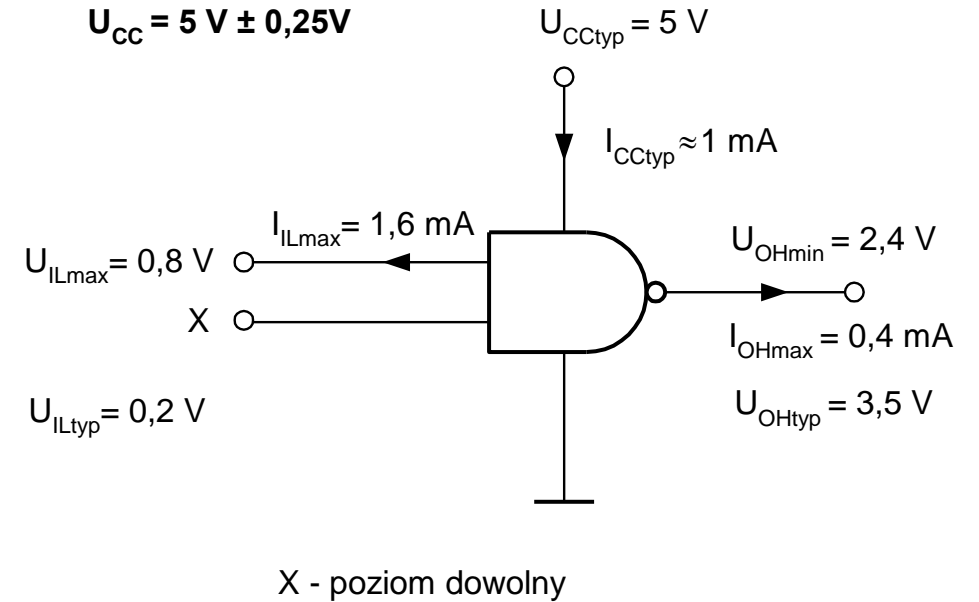


Standardowa bramka NAND techniki TTL
stany tranzystorów przy poziomie niskim na obu wejściach

a)

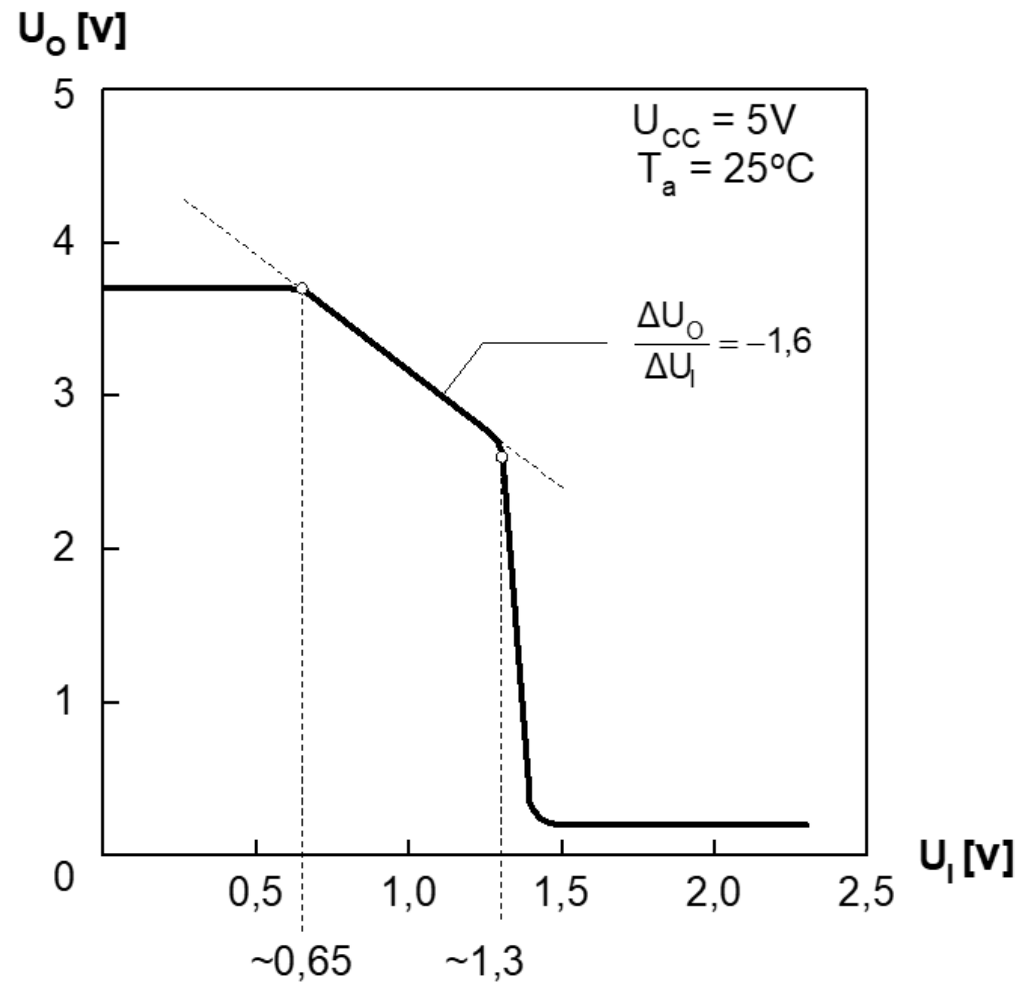


b)

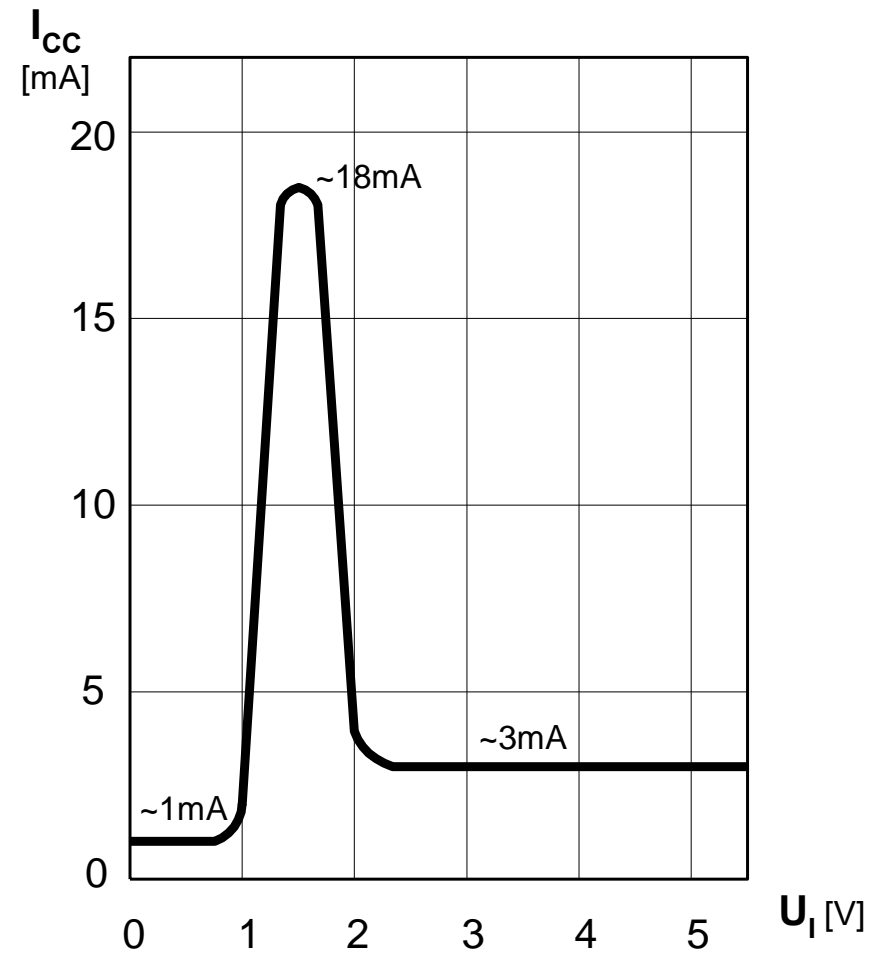


Wartości napięć i prądów standardowej bramki NAND w stanie niskim (a) i wysokim (b) na wyjściu

Obciążalność N jest to liczba możliwych do wysterowania wejść innych bramek tego samego typu przez wyjście pojedynczej bramki. Dla bramki standardowej TTL mamy $N=10$.



Charakterystyka przejściowa bramki TTL



Charakterystyka zmian prądu zasilającego bramkę TTL

Uwagi ogólne technice TTL

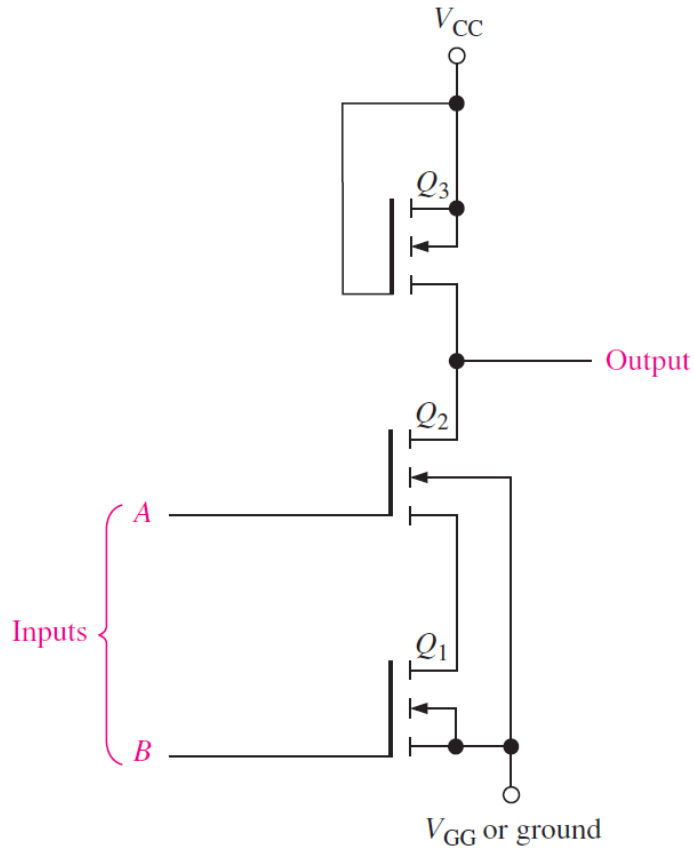
Układy techniki tranzystorowo - tranzystorowej TTL są popularnymi układami cyfrowymi stosowanymi w praktyce od lat sześćdziesiątych (wprowadzenie na rynek światowy przez firmę Texas Instruments).

Asortyment tych układów jest bardzo duży, a ponadto zostały one wprowadzone w różnych obudowach i w kilku seriach różniących się parametrami technicznymi.

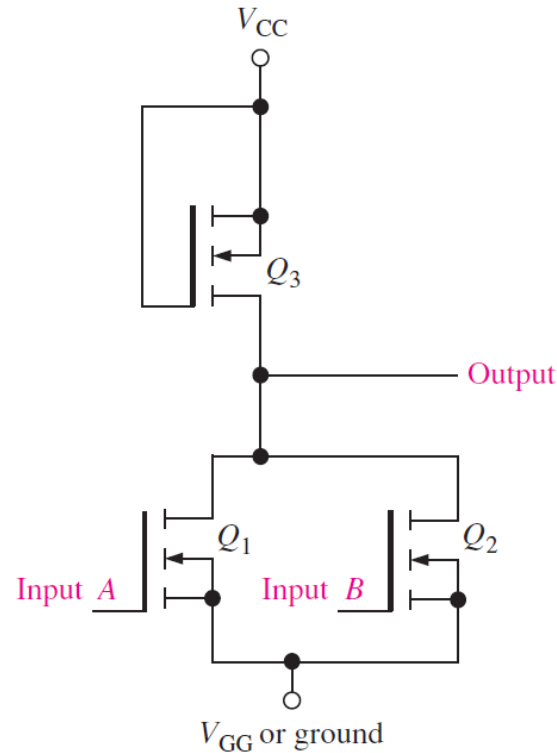
Układy TTL szybko się przyjęły, szczególnie ich seria 74.

Doskonalono je z punktu widzenia różnych parametrów technicznych.

BRAMKA NMOS



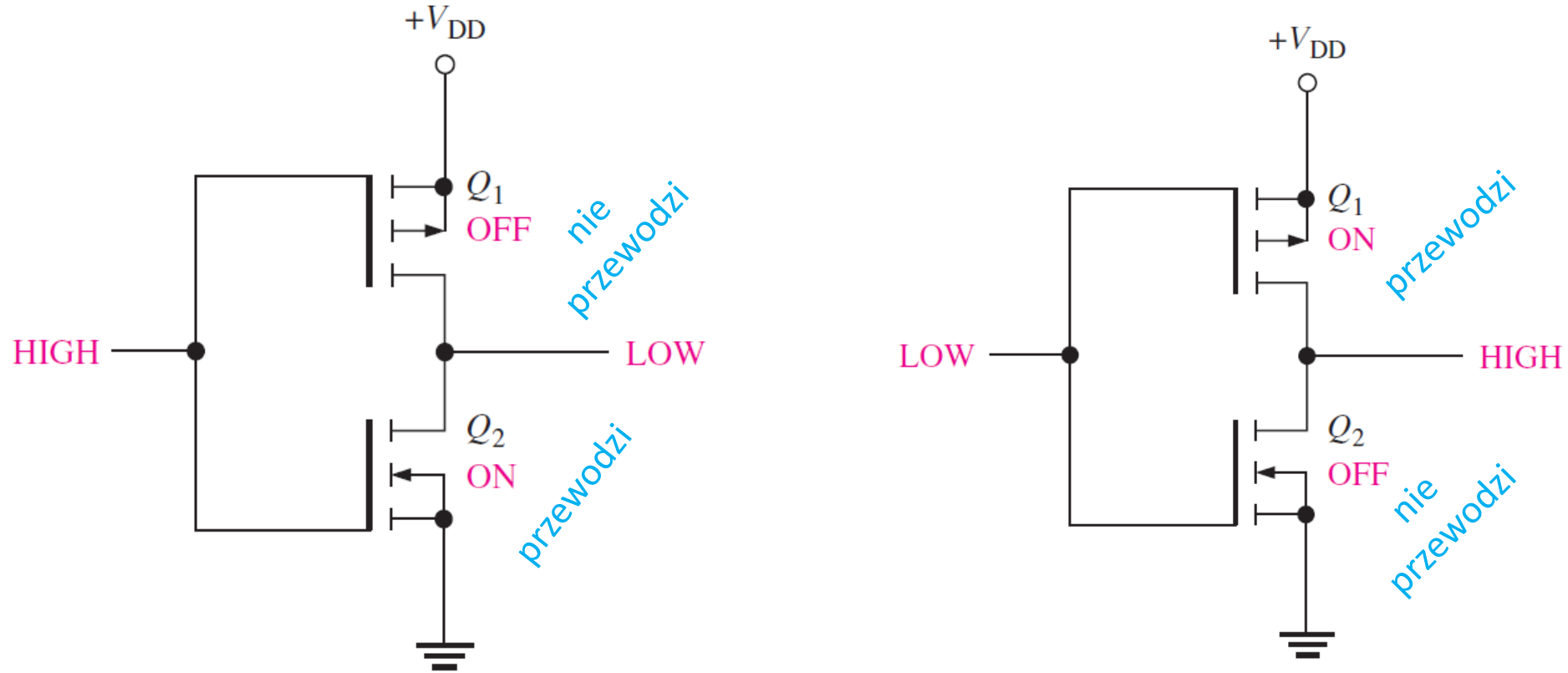
*Bramka NAND w technice NMOS
tranzystor Q3 pełni funkcję rezystora [*]*



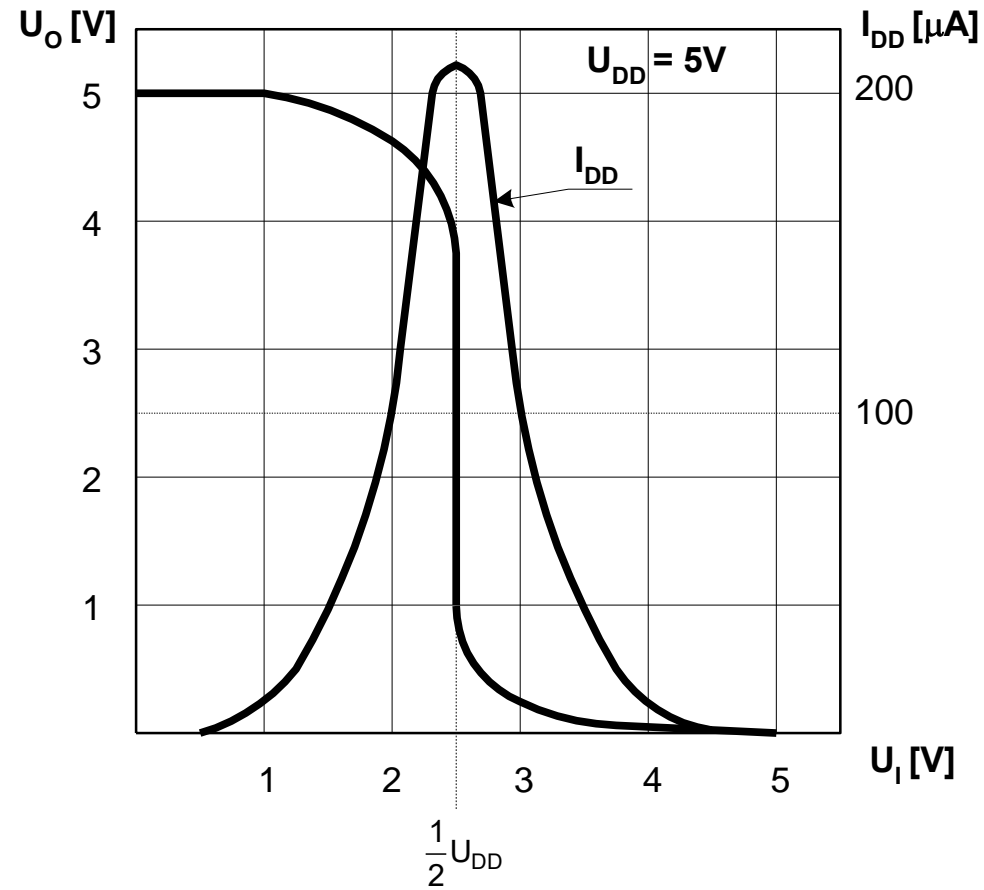
*Bramka NOR w technice NMOS
tranzystor Q3 pełni funkcję rezystora [*]*

Bramki zbudowane wyłącznie z tranzystorów MOS z kanałem typu n. Z tego powodu wytwarzanie tych bramek jest szczególnie łatwe i stosowane w technice o wysokim stopniu scalenia.

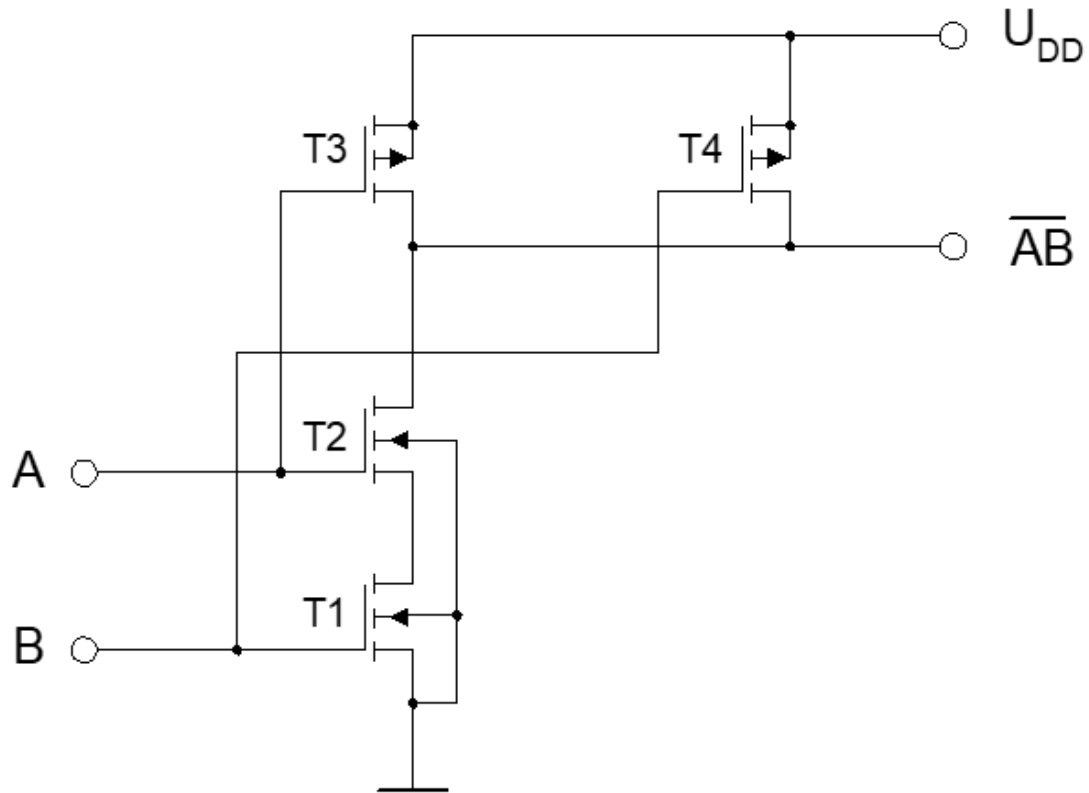
BRAMKA CMOS



inwerter CMOS z zaznaczeniem stanów tranzystorów []*



Statyczna charakterystyka przejściowa bramki CMOS z zaznaczeniem poboru prądu przez bramkę

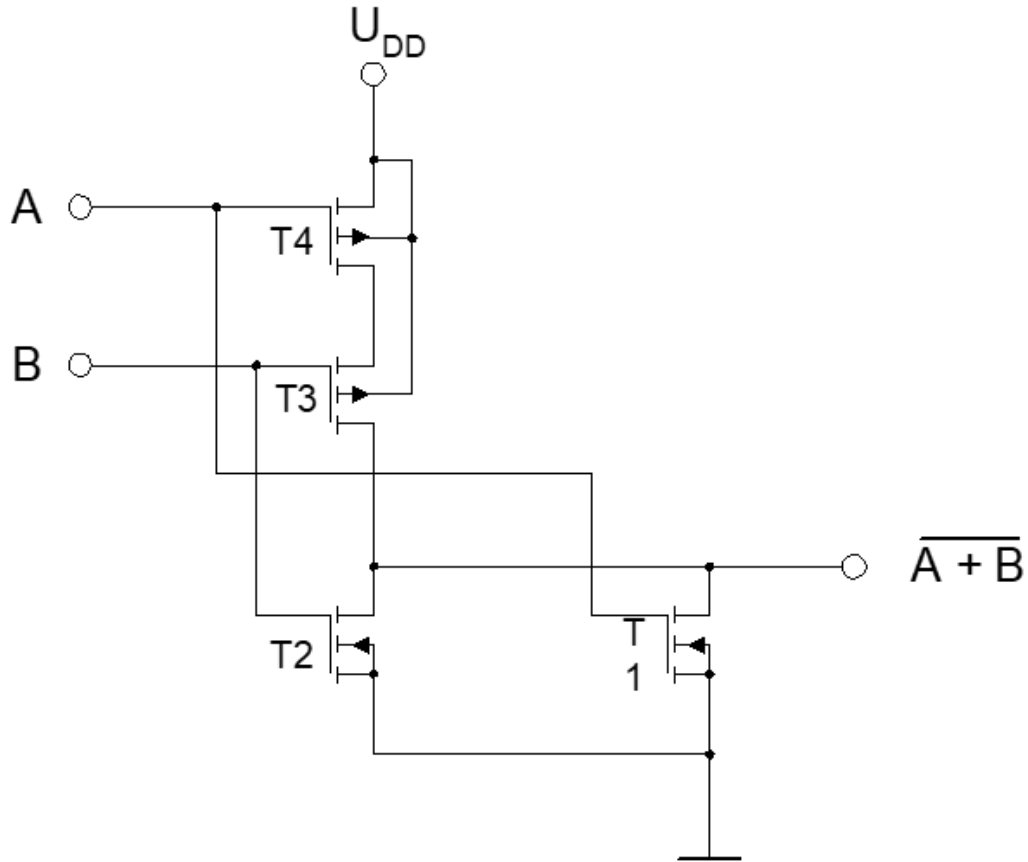


Bramka NAND w technice CMOS

Na wyjściu bramki NAND otrzymuje się niski stan logiczny tylko wtedy gdy oba wejścia są w stanie wysokim. Wtedy tranzystory T1 i T2 przewodzą łącząc wyjście układu z masą (stan niski). Tranzystory T3 i T4 w tym czasie nie przewodzą.

Jeżeli do wejścia A lub B (lub do obu jednocześnie) doprowadzamy stan niski to odpowiadający temu wejściu tranzystor MOS z kanałem typu p będzie przewodził natomiast MOS z kanałem typu n nie przewodzi. Wtedy wyjście przez ów tranzystor przewodzący zostanie połączone z napięciem zasilania i na wyjściu mamy stan wysoki.

Tranzystory T1, T4 i T2, T3 stanowią inwertery CMOS połączone w tym przypadku w odpowiedniej konfiguracji układowej.



Bramka NOR w technice CMOS

Na wyjściu ma stan wysoki tylko wówczas, gdy na obu wejściach doprowadzony jest stan niski. Wówczas tranzystory T3 i T4 przewodzą łącząc wyjście układu z napięciem zasilania U_{DD} . Tranzystory T1 i T2 nie przewodzą.

Gdy na jednym z wejść A lub B (lub na obu jednocześnie) pojawi się stan wysoki to któryś z tranzystorów PMOS (lub oba) przestanie przewodzić natomiast któryś z tranzystorów NMOS (lub oba) przewodzą. Wtedy wyjście układu połączone jest przez przewodzący kanał owego tranzystora z potencjałem masy i na wyjściu mamy stan niski.

Tranzystory T1, T4 i T2, T3 stanowią inwertery CMOS połączone w tym przypadku w odpowiedniej konfiguracji układowej.

TECHNIKI REALIZACJI BRAMEK LOGICZNYCH

K O N I E C

[*] T.L.Floyd: Digital Fundamentals, PEARSON