

PAMIĘCI

PÓŁPRZEWODNIKOWE

Pamięci półprzewodnikowe są układami służącymi do przechowywania informacji cyfrowych.

Pamięci są zorganizowane w taki sposób, aby zapamiętywać N słów, przy czym każde słowo zawiera S bitów.

Całkowita pojemność pamięci wynosi zatem $N \times S$ bitów.

Termin słowo może mieć dwa znaczenia w terminologii komputerowej.

W pamięciach słowo jest definiowane jako grupa bitów lub bajtów, która działa jako pojedyncza jednostka i która może być przechowywana w jednym miejscu pamięci.

W języku assemblerowym słowo jest definiowane jako dwa bajty.

Jednostki pamięci

1 bajt [B] = 8 bitów [b]

1 kilobajt [KB] = 2^{10} bajtów = 1024 bajty [B]

1 megabajt [MB] = 2^{10} kilobajtów = 1024 kilobajty [KB]

1 gigabajt [GB] = 2^{10} megabajtów = 1024 megabajty [MB]

1 terabajt [TB] = 2^{10} gigabajtów = 1024 gigabajty [GB]

lub inaczej

1 B = 8 b

1 KB = 2^{10} B

1 MB = 2^{10} KB = 2^{20} B

1 GB = 2^{10} MB = 2^{20} KB = 2^{30} B

1 TB = 2^{10} GB = 2^{20} MB = 2^{30} KB = 2^{40} B

Parametry dynamiczne pamięci półprzewodnikowych

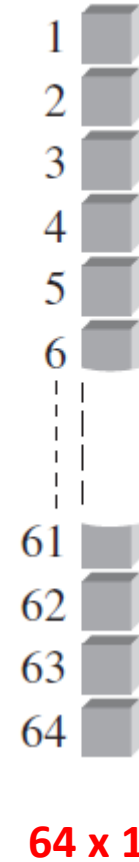
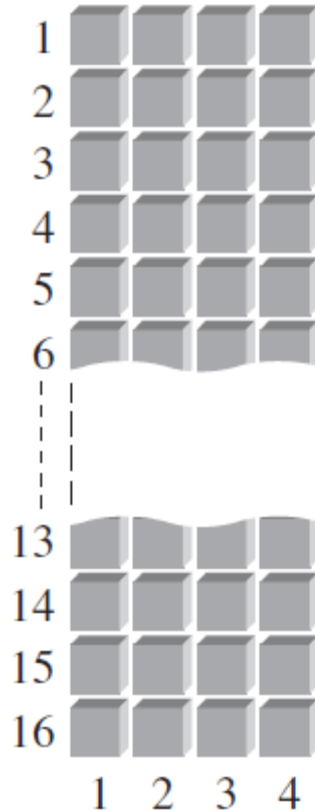
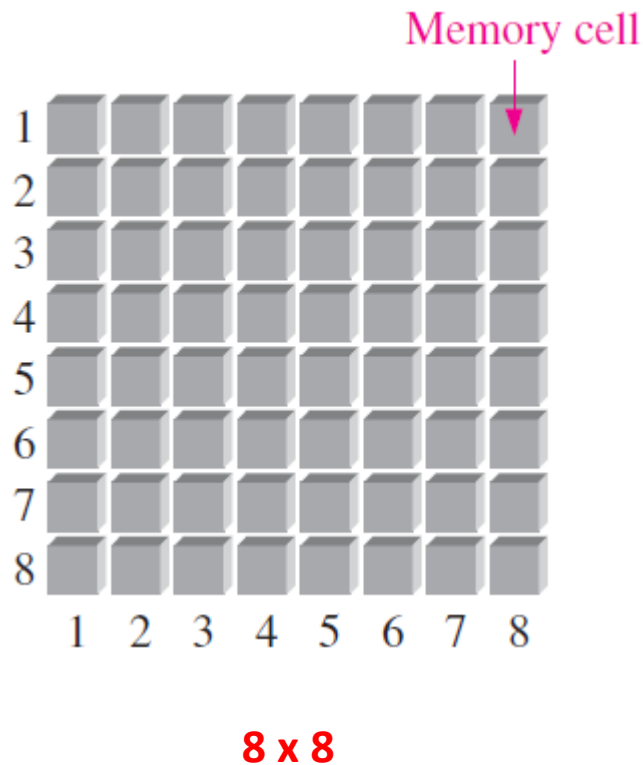
Czas dostępu jest to czas między podaniem sygnału na wejścia adresowe a pojawieniem się danych na wyjściu.

Czas cyklu jest to najmniejszy czas między kolejnymi wywołaniami informacji z pamięci.

Odwrotność czasu cyklu jest **szybkością pracy pamięci** i wyrażana jest w megahercach (MHz).

organizacja pamięci

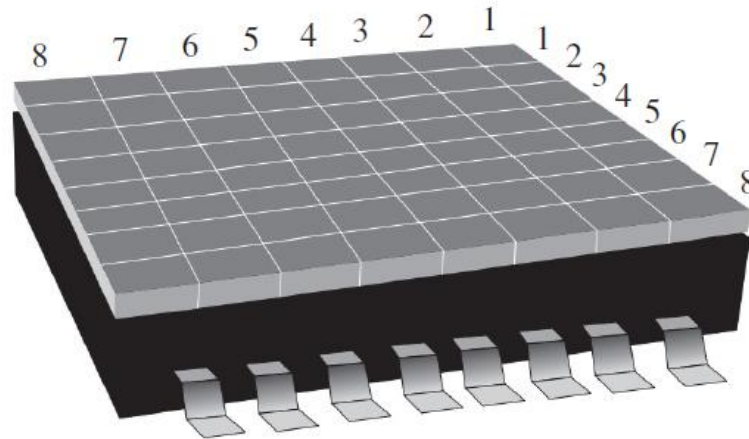
Pamięci półprzewodnikowe są pamięciami matrycowymi, gdyż tworzą tzw. matrycę pamięciową, czyli strukturę prostokątną, w której na przecięciu każdej kolumny i każdego wiersza jest umiejscowiona komórka pamięci.



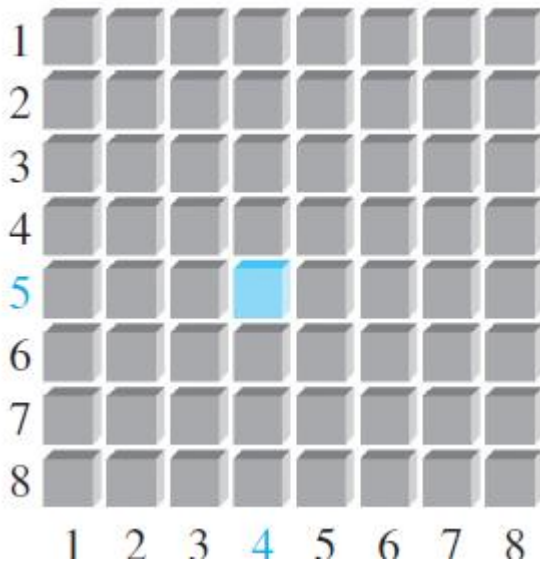
[*]

Różne organizacje 64 bitowej matrycy pamięci

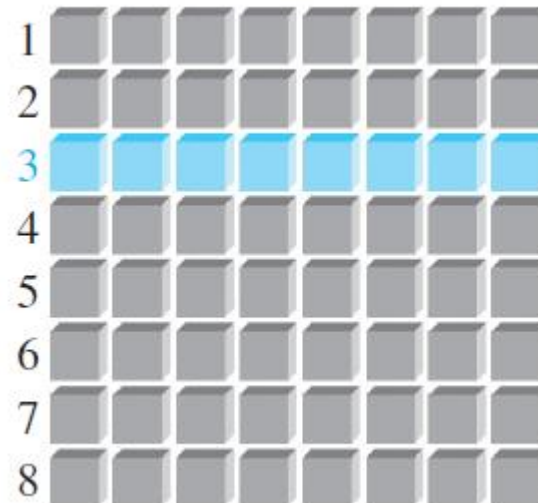
przykłady adresowania w dwuwymiarowej macierzy pamięci



fizyczna struktura 64 bitowej pamięci



adres komórki pamięci: 5 rząd 4 kolumna

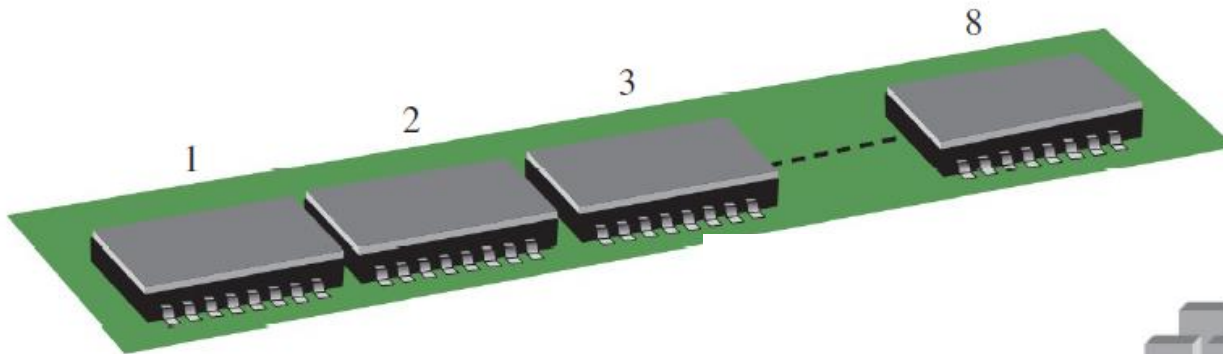


adres komórek pamięci: 3 rząd

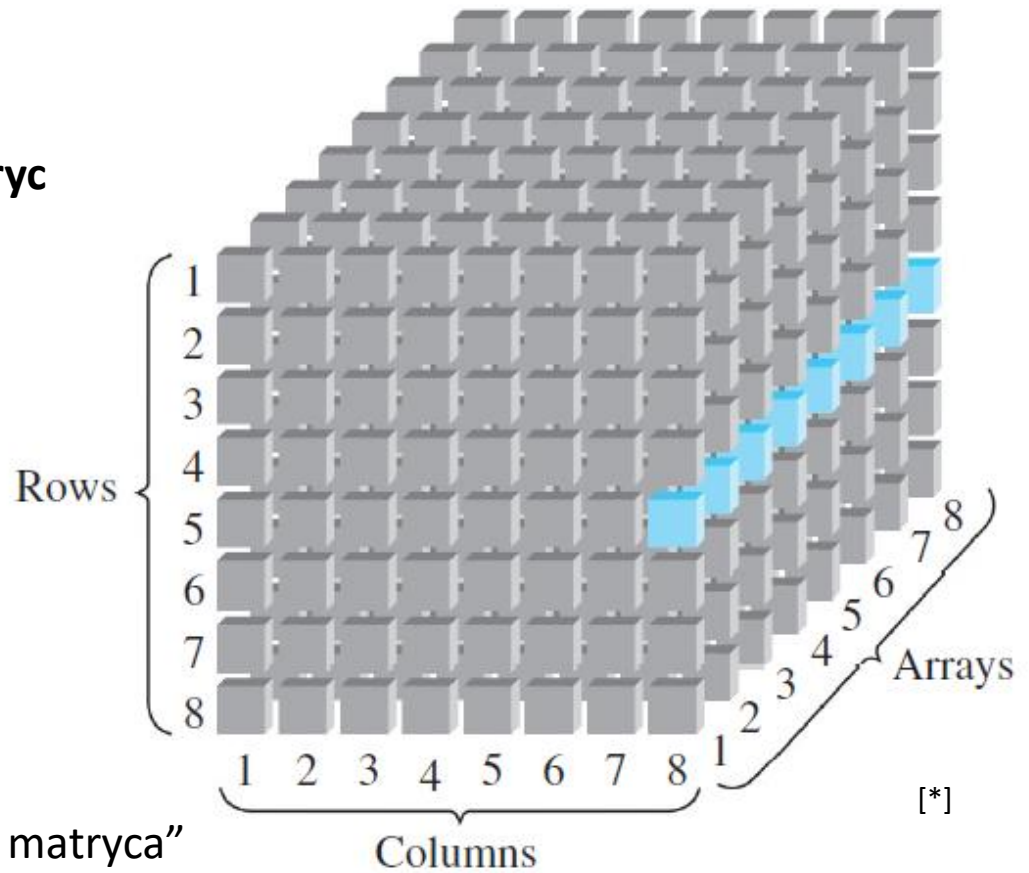
Komputery osobiste mają pamięć zorganizowaną w bajtach

[*]

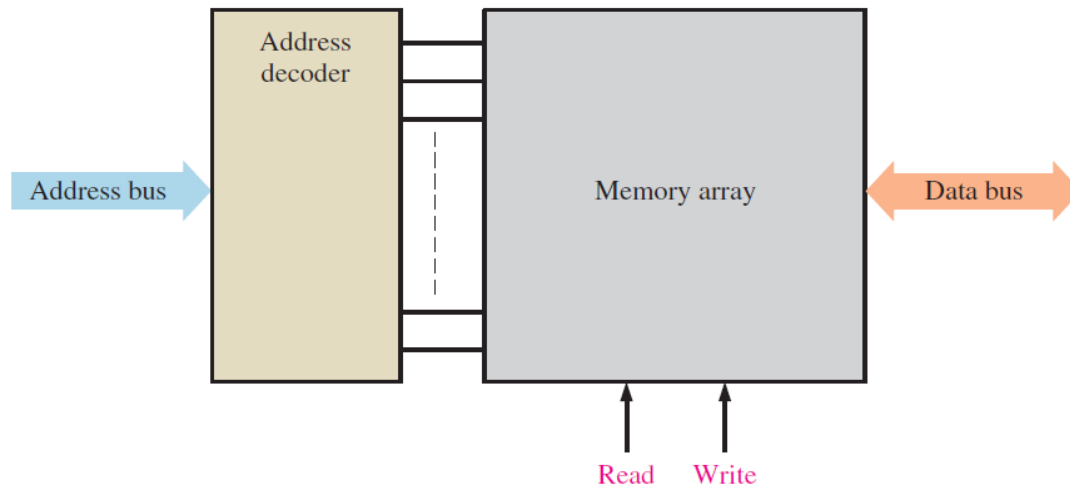
przykłady adresowania w rozszerzonej pamięci



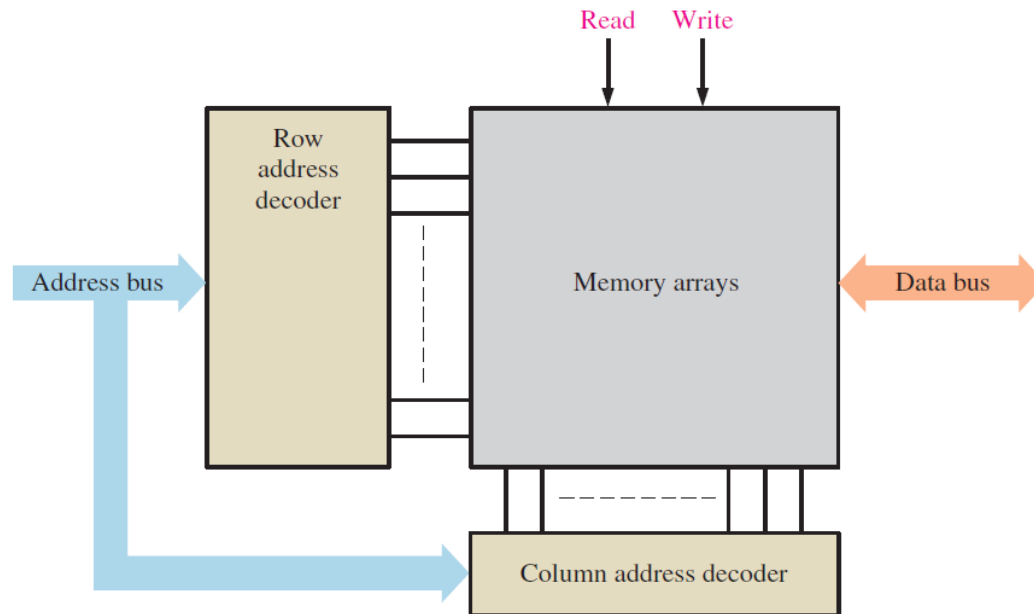
rozszerzanie pamięci – kilka matryc



powstaje „trójwymiarowa matryca”



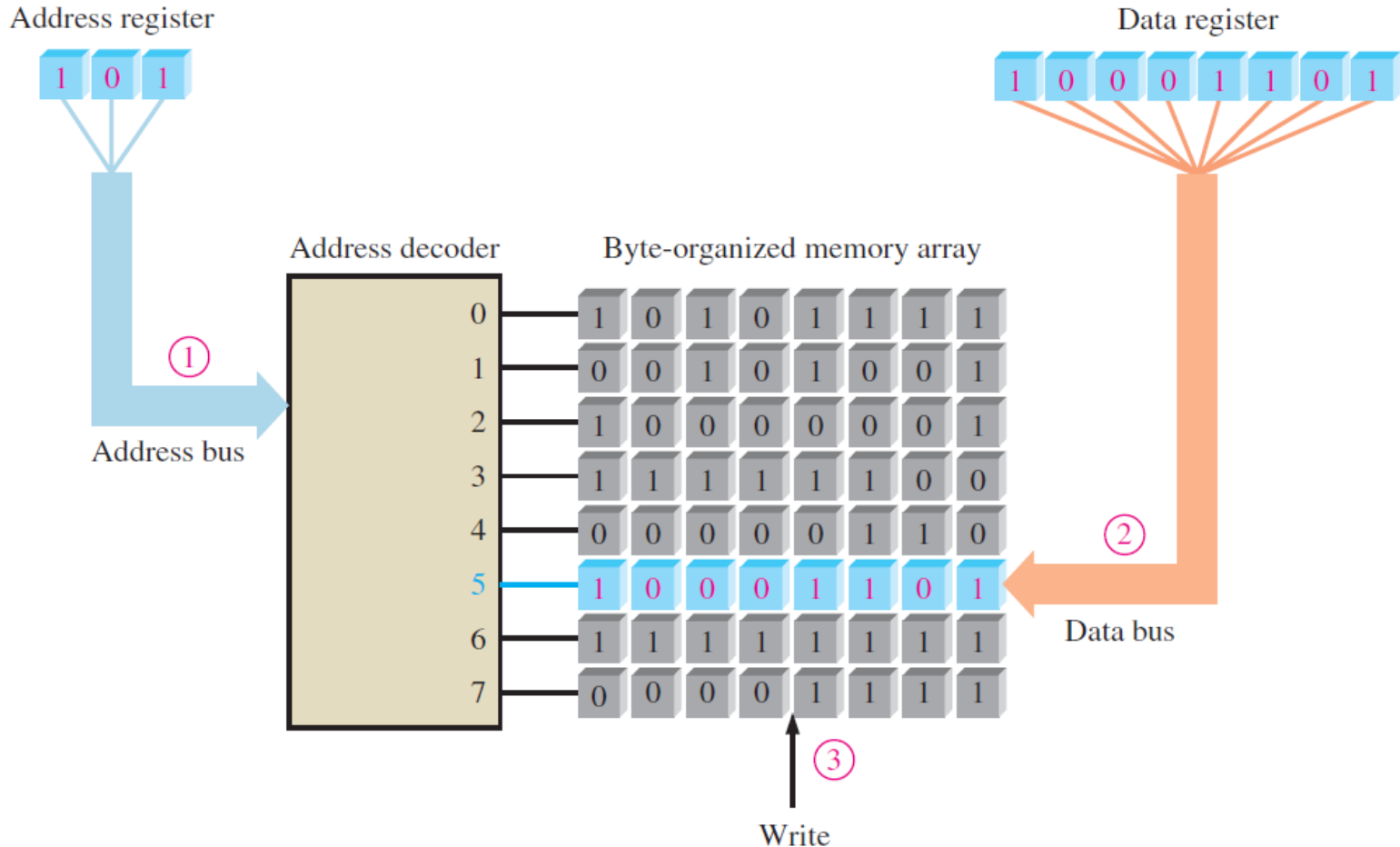
Schemat blokowy pamięci z pojedynczą matrycą



Schemat blokowy pamięci z wieloma matrycami

[*]

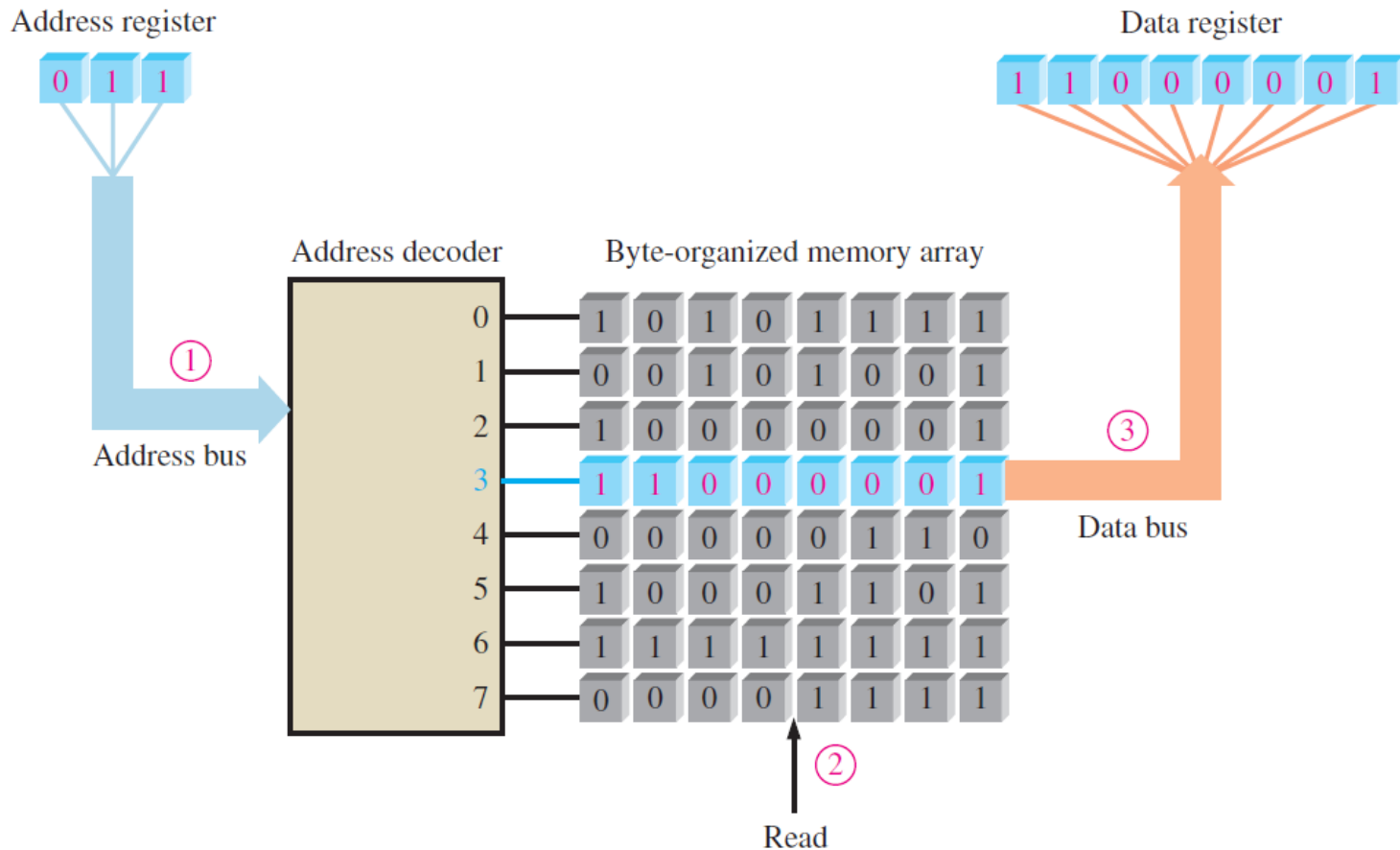
operacja zapisu



[*]

- 1 Kod adresowy 101 jest umieszczony na szynie adresowej i wybierany jest adres 5
- 2 Bajt danych jest umieszczany na szynie danych.
- 3 Polecenie zapisu powoduje zapisanie bajtu danych pod adresem 5, zastępując poprzednie dane

operacja odczytu



[*]

- 1 Kod adresowy 011 jest umieszczony na szynie adresowej i wybierany jest adres 3
- 2 Uruchomiono polecenie odczytu
- 3 Treść danych z adresu 3 jest umieszczana na szynie danych i przenoszona do rejestru danych. Zawartość danych z adresu 3 nie jest kasowana podczas operacji odczytu.

Scalone pamięci półprzewodnikowe wytwarzane są w dwu zasadniczych odmianach, jako **pamięci ulotne i pamięci nieulotne**.

Zawartość pamięci ulotnych jest bezpowrotnie tracona po wyłączeniu zasilania.

Ogólnie grupę pamięci ulotnych nazywamy **RAM** (*Random-Access Memory* czyli pamięci o dostępie swobodnym).

Zawartość pamięci nieulotnych jest trwale zapamiętywana i nie zanika po wyłączeniu zasilania.

Ogólnie grupę pamięci nieulotnych nazywamy **ROM** (*read only memory* czyli pamięć tylko do odczytu).

ULOTNE PAMIĘCI PÓŁPRZEWODNIKOWE

PAMIĘCI O DOSTĘPIE SWOBODNYM RAM

Najszerzej stosowane pamięci ulotne.

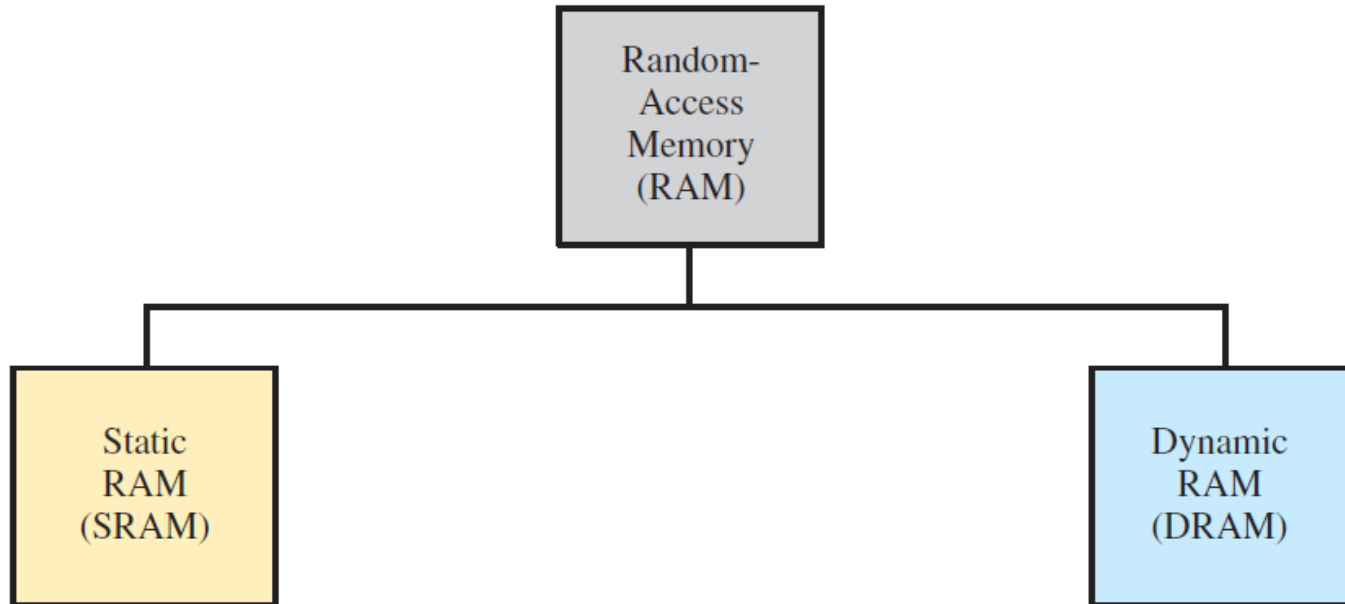
Umożliwiają zarówno szybki zapis, jak i szybki odczyt słowa danych.

Tradycyjnie określane terminem „pamięci o dostępie swobodnym” RAM (*Random-Access Memory*).

Ta tradycyjna nazwa nie jest najtrafniejsza, gdyż cecha swobodnego dostępu występuje też w innych rodzajach pamięci.

Właściwa nazwa „pamięć czytaj/pisz” RWM (*Read/Write Memory*) ale niestosowana.

Pamięci RAM dzieli się na dwie grupy: pamięci statyczne SRAM i pamięci dynamiczne DRAM.



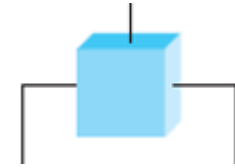
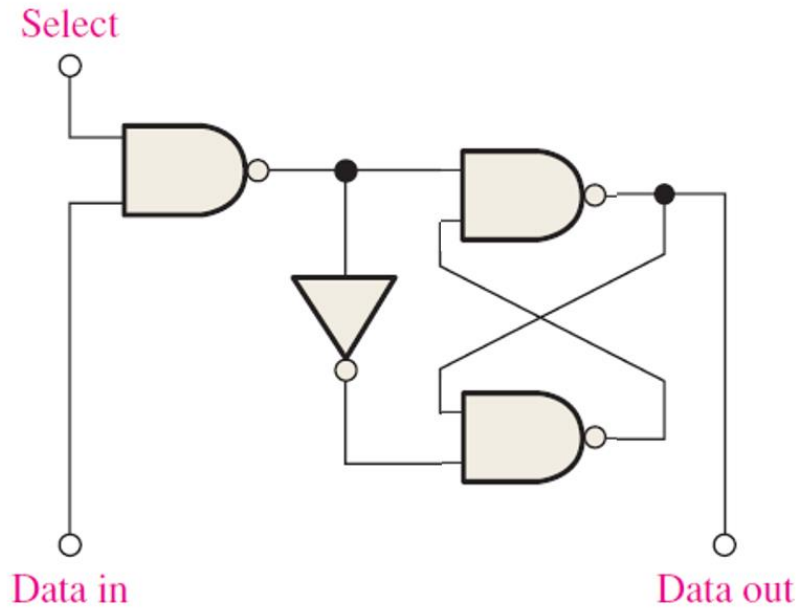
[*]

pamięci statyczne o dostępie swobodnym

SRAM

podstawowa komórka pamięci zatraskowej SRAM

PAMIĘĆ SRAM



[*]

bramkowany zatrask D

Date in	Select	Date out	Komentarz
0	1	0	wpisanie 0
1	1	1	wpisanie 1
x	0	pamiętanie stanu poprzedniego	

Pamięci statyczne RAM zajmują stosunkowo dużo miejsca w układzie scalonym, zatem osiągnięcie dużych pojemności tych pamięci okupione jest dużymi rozmiarami układu.

Pamięci SRAM są najszybsze, więc istnieje dylemat godzenia niewielkiej możliwej do uzyskania skali integracji z możliwymi osiągalnymi parametrami dynamicznymi.

pamięci dynamiczne o dostępie swobodnym

DRAM

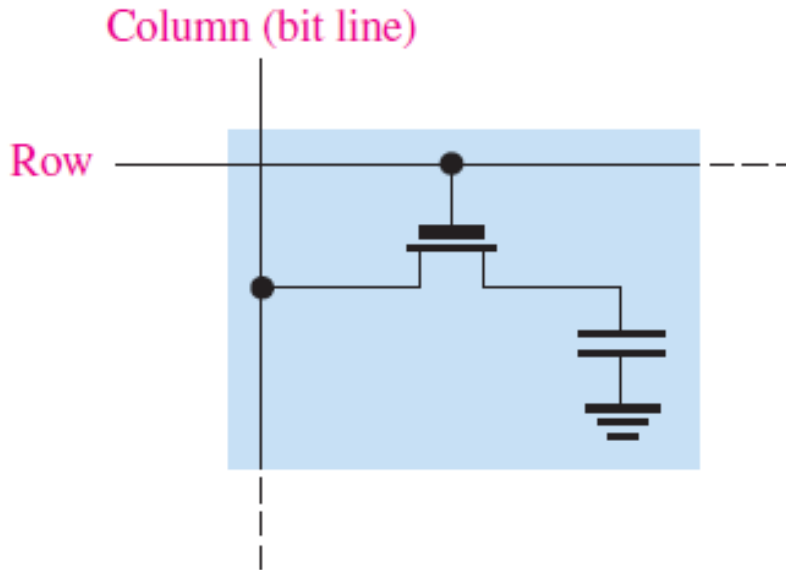
W przeliczeniu na jeden bit pamięci najmniejszą powierzchnię układu scalonego zajmują komórki pamięci dynamicznej RAM.

Mają one najmniejszą moc strat i charakteryzują się małym kosztem wytwarzania.

Komórka pamięci dynamicznej DRAM

Zawiera tylko dwa elementy: tranzystor MOS i kondensator.
 Pojemność kondensatora jest bardzo mała (ok. $50 \text{ fF} = 50 \times 10^{-15} \text{ F}$)

Tranzystor MOS stanowi przełącznik łączący lub odłączający kondensator od linii bitu(kolumny).



[*]

Pamiętanie bitu informacji wynika z dwóch stanów ładunku zmagazynowanego w kondensatorze.

Pamiętanie bitu informacji wynika z dwóch stanów ładunku zmagazynowanego w kondensatorze.

Stan 0 (kondensator rozładowany) jest stanem trwałym w czasie, a stan 1 (kondensator naładowany) jest stanem nietrwałym, gdyż kondensator ulega stopniowemu rozładowaniu wskutek nieuniknionych upływności.

Aby nie dopuścić do rozładowania kondensatora i tym samym do przejścia ze stanu 1 w stan 0, ładunek istniejący w kondensatorze w stanie 1 musi być co jakiś czas (zazwyczaj co kilka milisekund) regenerowany w procesie zwanym odświeżaniem.

Odświeżanie wymaga dodatkowych obwodów pamięci i komplikuje działanie pamięci DRAM.

Główne ograniczenia szybkości działania układów DRAM:

- odczyt stanu kondensatora w komórce DRAM jest destrukcyjny, co wymaga czasu na powtórny zapis z odświeżeniem po odczycie;
- potrzebny jest czas na proces ładowania wstępnego linii bitu;
- adres w pamięciach DRAM jest ustalany w czasie kolejno w dwu etapach (multipleksowanie adresu);
- niezbędne jest periodyczne odświeżanie zawartości całej matrycy pamięciowej, co wymaga pewnego czasu.

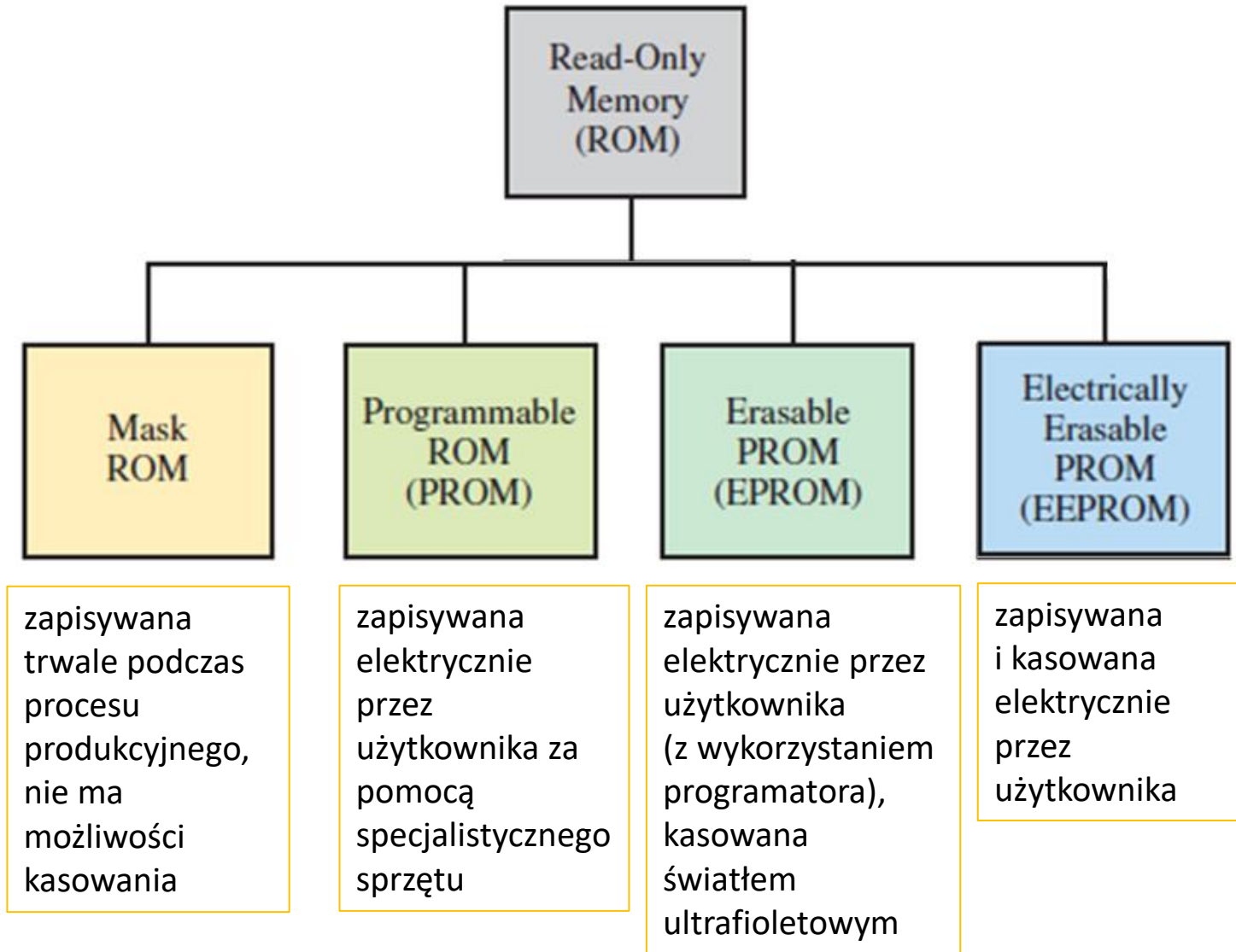
Pamięci DRAM są wolniejsze od pamięci statycznych, ale koszt ich wytworzenia (w przeliczeniu na jeden bit pojemności) jest niższy.

Maksymalna pojemność pamięci dynamicznych (wytwarzanych przy tym samym poziomie technologicznym) jest kilkakrotnie wyższa w porównaniu do statycznych.

Dlatego pamięci DRAM są chętnie stosowane w typowych zastosowaniach komputerowych.

NIEULOTNE PAMIĘCI PÓŁPRZEWODNIKOWE

Rodzina pamięci ROM



Pamięć Mask ROM (zwykle nazywana po prostu pamięcią ROM)

Jest na stałe programowana w procesie produkcyjnym.

Wykorzystywana do zapewnienia powszechnego stosowania standardowych funkcji np. jako konwertery kodu, systemy BIOS komputera, interpretatory języków programowania i inne.

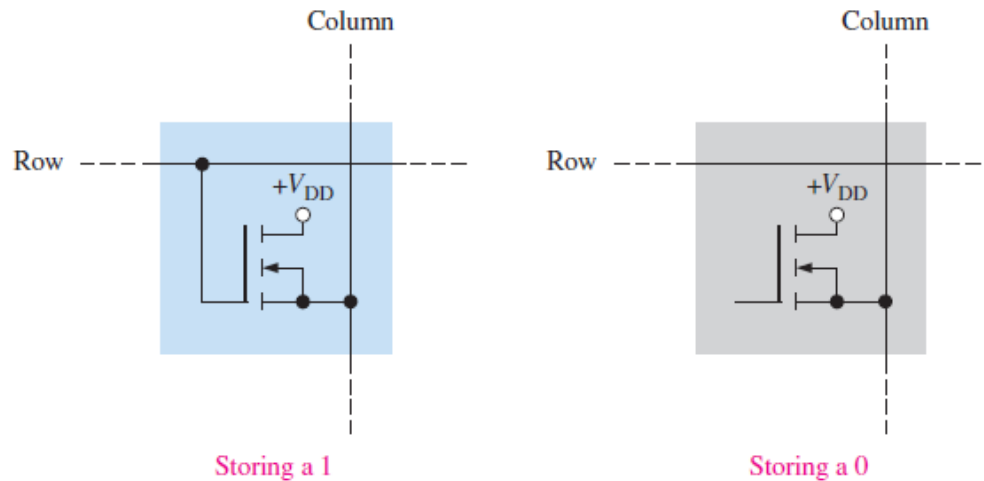
Po zaprogramowaniu zawartości pamięci nie można zmienić.

Notka informacyjna

System BIOS (podstawowy system wejścia / wyjścia) zawiera programy używane do wykonywania podstawowych funkcji nadzorczych i pomocniczych w każdym komputerze. Jest zapisany w pamięci Mask ROM.

Steruje niektórymi funkcjami monitora, zapewnia formatowanie dysku komputera, skanuje klawiaturę w poszukiwaniu danych wejściowych i steruje określonymi funkcjami drukarki.

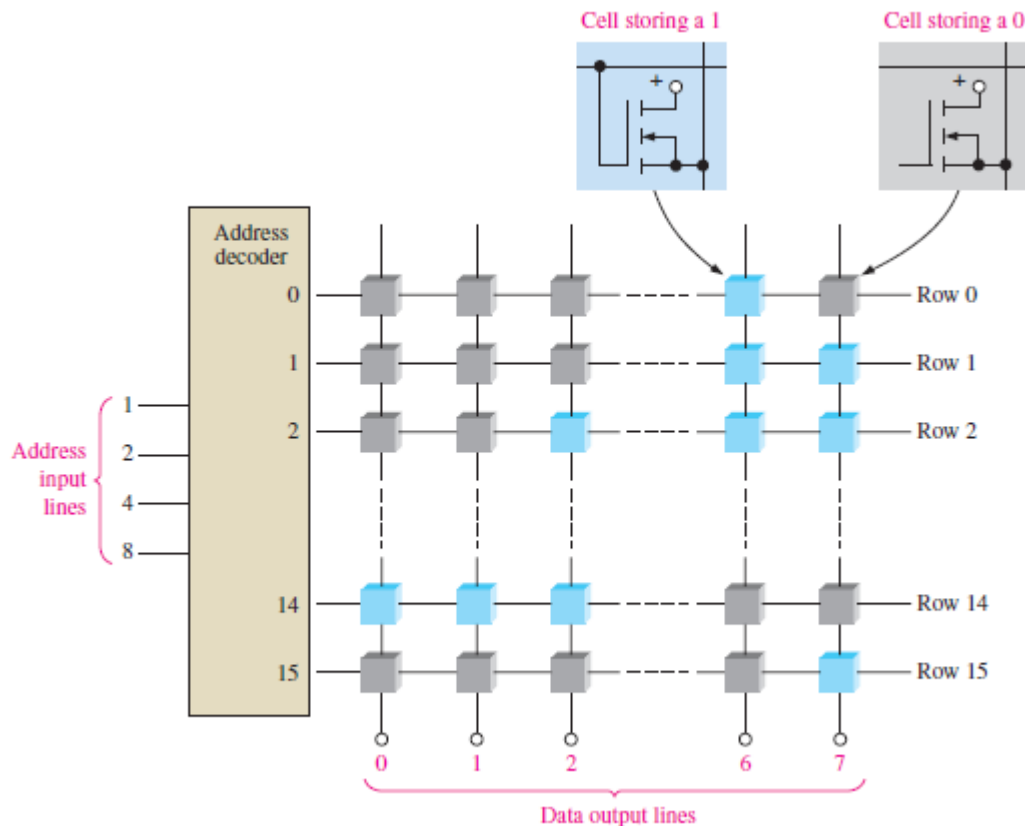
Większość układów scalonych pamięci Mask ROM wykorzystuje komórki jednotranzystorowe



[*]

Obecność połączenia wiersza do bramki tranzystora reprezentuje 1, ponieważ gdy linia wiersza wybrana jest stanem H, tranzystor posiadający połączenie bramki do tej linii włączają się i przekazują stan wysoki (napięcie +V_{DD}) na linię kolumny.

Gdy nie ma dołączonej bramki, gdy linia wiersza wybrana jest stanem H nie ma możliwości sterowania bramki i linia kolumny pozostaje w stanie niskim 0.



Matryca 16 x 8 bitów pamięci Mask ROM
(całkowita pojemność 128 bitów lub 16 bajtów)

Operacja odczytu

Adres dekodowany przez dekodery wierszy podaje stan wysoki na wybrany wiersz.

Komórki z zapisem 1 przekazują stan wysoki na linie kolumny.

Komórki z zapisem 0 nie przekazują zatem pozostaje na linii kolumny stan niski 0.

Na wyjściu pojawia się osiem bitów danych przechowywanych w wybranym adresowanym wierszu.

[*]

Pamięć PROM (*programmable ROM*, programowalny ROM)

Pamięci Mask ROM (ROM) wychodzą od producenta zaprogramowane.

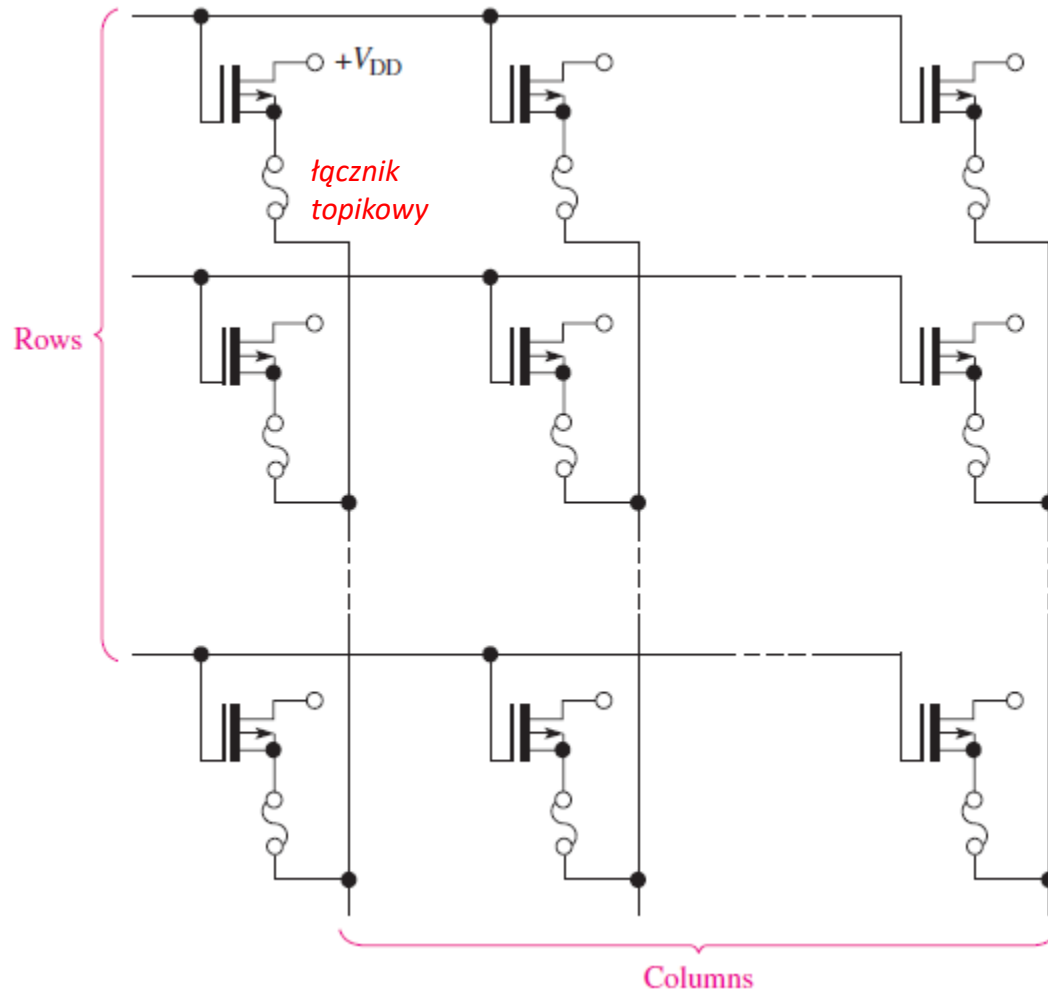
Pamięci PROM wychodzą od producenta nie zaprogramowane i są programowane przez użytkownika w urządzeniu zwanym programatorem.

Pamięci PROM wytwarzane są jako „czyste” to jest pełne zer lub jedynki – zależnie od przyjętego standardu.

W trakcie programowania następuje przepalanie (lub pozostawienie w stanie nienaruszonym) połączeń interpretowanych w układzie jako wprowadzenie określonego stanu do komórki.

Taki proces programowania jest jednorazowy i nieodwracalny.

W raz zaprogramowanej pamięci PROM nie można zmieniać zawartości.



[*]

Matryca PROM wykonana w technologii MOS z łącznikami topikowymi („bezpiecznikowymi”). W procesie programowania przez łącznik topliwy jest przepuszczany prąd wystarczający do przepalenia go w celu utworzenia zapisanego 0. Łącznikui nienaruszony reprezentuje stan 1.

Trzy podstawowe technologie łączników stosowane w PROM:

1. łącznik metalowy.

Wykonane z nichromu. Podczas programowania łącznik jest przepalany (otwarty) lub pozostawiony w stanie nienaruszonym. Programuje się poprzez adresowanie danej komórki, a następnie przepuszczenie wystarczającej ilości prądu, aby spowodować jego przepalenie(przerwanie).

2. łącznik krzemowy.

Wykonane z wąskich pasków krzemu polikrystalicznego. Programowanie wymaga stopienia połączenia poprzez przepuszczenie przez nie odpowiedniego prądu.

3. Przebicie lawinowe złącza pn.

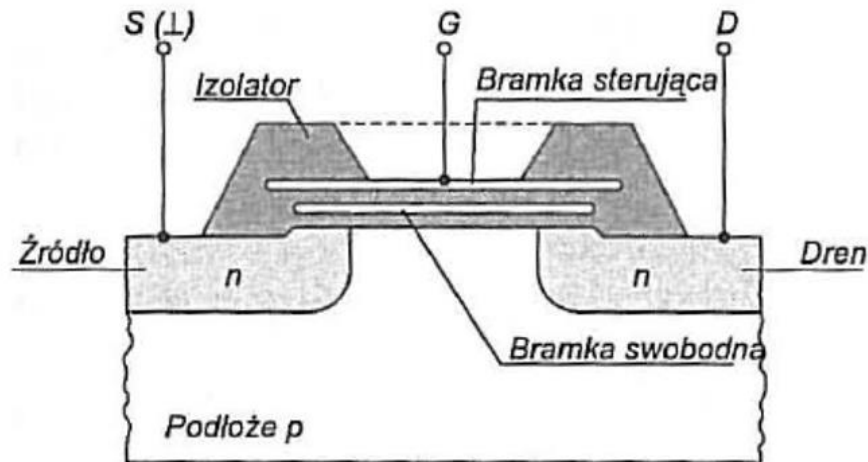
Podczas programowania występuje zjawisko przebicia lawinowego a moc wydzielana na złączu powoduje zwarcie złącza pn (migrację jonów aluminium i zwarcie złącza).

Pamięć EPROM (*Erasable PROM*, kasowany PROM)

Pamięci EPROM (*Erasable PROM*) umożliwiają wielokrotne programowanie i kasowanie zawartości.

Komórkę pamięci stanowi specjalny tranzystor FAMOS (*Floating gate Avalanche injected MOS*) o strukturze swobodnej bramki.

Dodatkowa swobodna bramka wykonana jest z krzemu polikrystalicznego i umieszczona między bramką sterującą, a obszarem kanału. Bramka ta nie ma żadnych wyprowadzeń zewnętrznych .



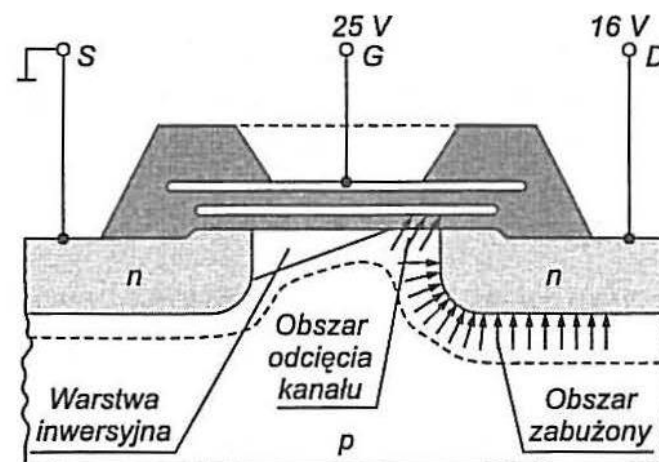
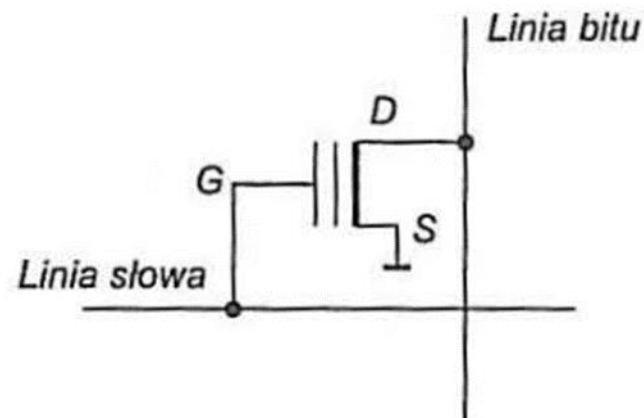
[**]

tranzystor FAMOS

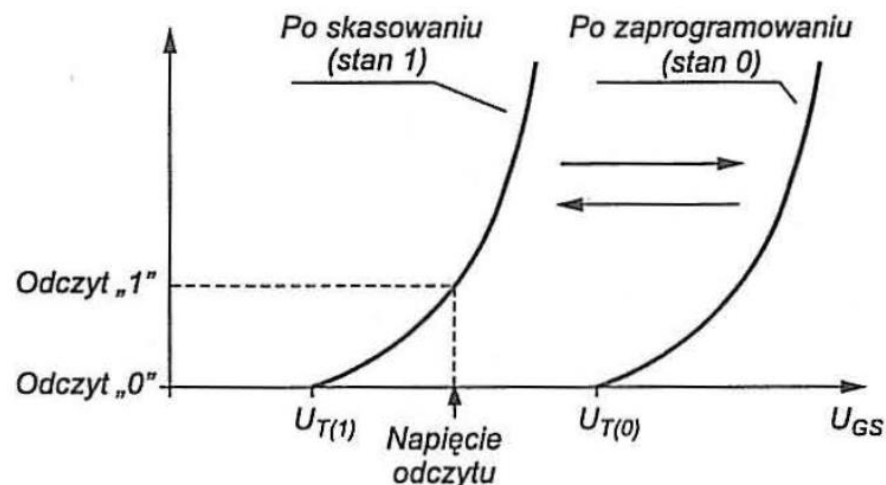
Przed zaprogramowaniem tranzystory FAMOS tworzące komórki pamięci reprezentują stan jedynki logicznej. Doprowadzenie do linii wiersza (linia słowa) napięcia odczytu na ich bramki powoduje przepływ prądu między drenem a źródłem, co interpretowane jest na liniach bitu jako stan wysoki.

Programowanie pamięci EPROM wykonuje się w specjalnym urządzeniu – w programatorze.

Podaniem adresu wybierana jest komórka. Ustalane jest wystarczająco duże napięcie dodatnie na bramce sterującej i drenie tranzystora FAMOS. Tworzy się warstwa inwersyjna obszaru typu n łącząca dren ze źródłem. Dren tranzystora programowanego ma napięcie wyższe niż znamionowa wartość napięcia zasilającego. Duża wartość napięcia drenu jest przyczyną wystąpienia powielania lawinowego nośników w obszarze odcięcia kanału w okolicach elektrody drenu. Niektóre elektrony (tzw. elektrony gorące) zyskują energię wystarczająco dużą do tego, aby móc pokonać barierę między podłożem i cienkim dielektrykiem pod bramką swobodną i przedostają się do tej bramki. W ten sposób swobodna bramka gromadzi ładunek ujemny.



[**]



[**]

przesunięcie charakterystyki przejściowej tranzystora FAMOS będące efektem programowania

Efekt programowania jest zwiększenie napięcia progowego, co wywołuje przesunięcie charakterystyki przejściowej tranzystora.

Powoduje to, że doprowadzenie znamionowej wartości napięcia odczytu nie powoduje otwarcia tranzystora i prąd dren-źródło nie płynie.

Jest to interpretowane jako wprowadzenie stanu niskiego do komórki pamięci.

Kasowanie pamięci EPROM

Obudowa pamięci ma okno ze szkła kwarcowego przepuszczającego promieniowanie ultrafioletowe. Przez oświetlenie pamięci ultrafioletem następuje kasowanie całej zawartości. Fotony światła ultrafioletowego są absorbowane przez elektrony bramki swobodnej i zwiększają swoją energię. Opuszczają one wtedy bramkę, przechodząc do otaczającego ją izolatora, a następnie są wyłapywane przez bramkę sterującą lub podłoże (naładowana bramka swobodna ma potencjał ujemny, a przy kasowaniu do elektrod bramki sterującej, źródła, drenu i podłoża doprowadza się potencjał zera).

Naświetlanie pamięci trwa długo, od kilkunastu do kilkudziesięciu minut.

W celu skasowania musi być ona wyjęta z układu i umieszczona w kasowniku.

Po skasowaniu okno zakleja się materiałem nieprzezroczystym dla ultrafioletu.



pamięć EPROM



kasownik

Pamięć EEPROM (*Electrically Erasable PROM*, elektrycznie kasowany PROM)

Pamięci EEPROM wytwarzane są jako niezapisane.

Podstawową zaletą jest to, że ich zawartość może być modyfikowana w urządzeniu w którym są zastosowane, bez potrzeby użycia odrębnego kasownika i programatora, jak to ma miejsce w pamięciach EPROM.

Zapis danych trwa wielokrotnie dłużej niż odczyt.

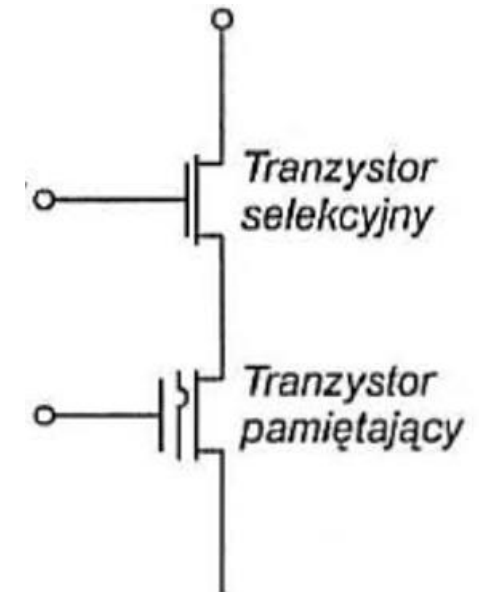
Liczba zapisów oraz usunięć danych na EEPROM jest ograniczona, natomiast liczba odczytów jest nieskończenie duża.

Komórka pamięci EEPROM

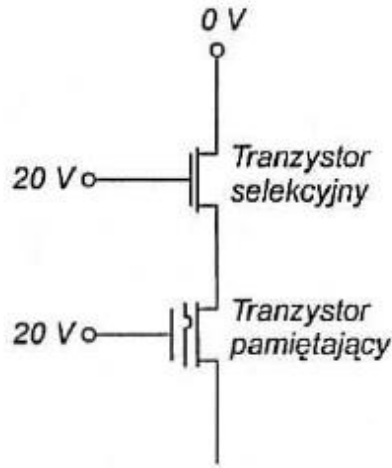
Komórka składa się z dwóch tranzystorów połączonych szeregowo.

Tranzystor selekcyjny jest zwykłym tranzystorem MOS z kanałem typu n. Przeznaczony jest do współpracy z linią bitu.

Tranzystor pamiętający posiada dodatkowo bramkę swobodną (izolowaną). Przy pewnymysterowaniu w tranzystorze tym możliwe jest przejście elektronów z kanału do bramki i odwrotnie (*zjawisko tunelowania na zimno*). Poprzez to tranzystor ma programowaną charakterystykę przejściową.

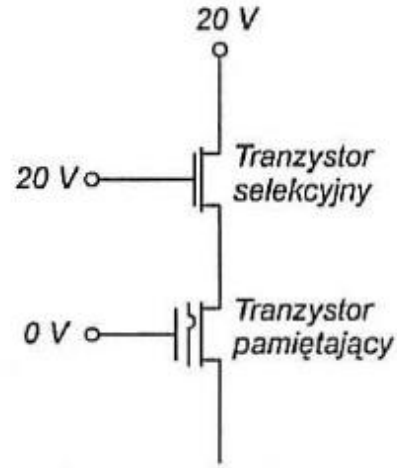


*schemat komórki
pamięci EEPROM*



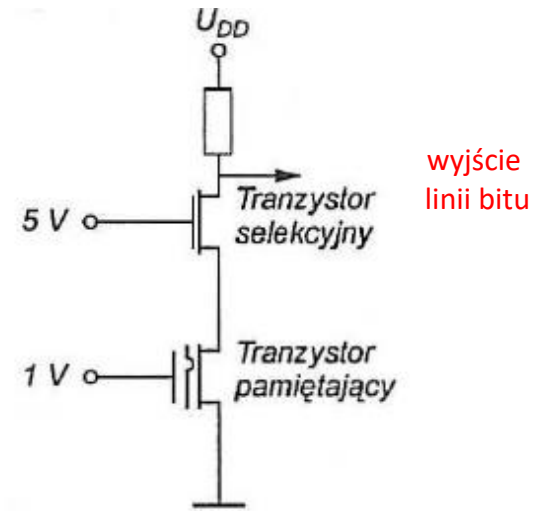
zapisywanie 1

Do bramek obu tranzystorów doprowadza się stosunkowo duże napięcie (ok. 20 V), natomiast dren (linię bitu) dołącza się do masy (0 V). Tranzystor selekcyjny przewodzi. Powstaje silne pole elektryczne kierujące elektrony z kanału do izolowanej bramki ładując ją ujemnie.



zapisywanie 0

Do bramki tranzystora selekcyjnego doprowadzone duże napięcie (20V). Tranzystor ten przewodzi. Bramka tranzystora pamiętającego ma potencjał zero, a obszar pod izolatorem potencjał dodatni. Bramka izolowana jest rozładowywana.



odczytywanie

Bramka tranzystora pamiętającego polaryzowana jest małym stałym napięciem.

Gdy w tranzystorze pamiętającym zapisana 1 niemożliwe jest otwarcie kanału tego tranzystora. Tranzystor pamiętający nie przewodzi. Na linii bitu utrzymuje się wysoki poziom napięcia.

Gdy w tranzystorze pamiętającym zapisane 0 kanał tranzystora pamiętającego jest otwarty. Tranzystor pamiętający przewodzi. Na linii bitu utrzymuje się niski poziom napięcia.

[**]

Pamięci FLASH

Pamięci FLASH stanowią specyficzną odmianę pamięci EEPROM, dlatego określa się je też jako Flash EEPROM.

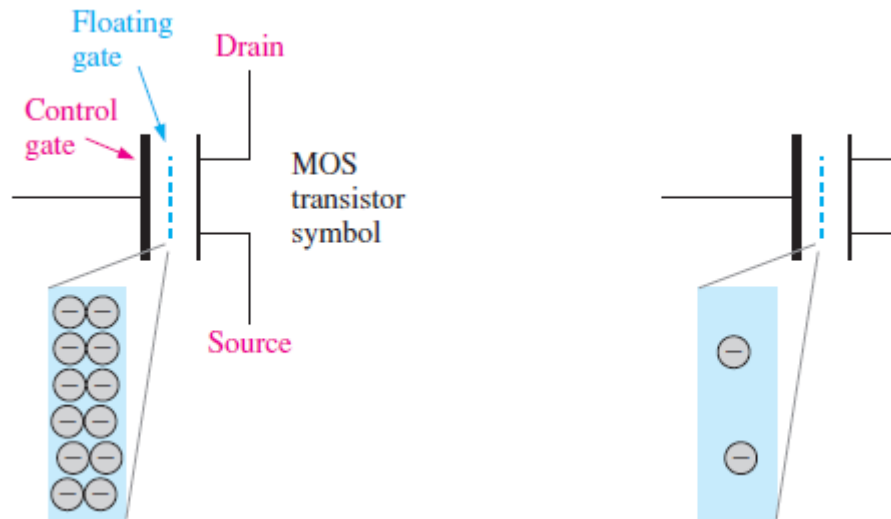
Nazwa FLASH (błysk) stosowana jest z uwagi na właściwość błyskawicznego kasowania zawartości bloków pamięci lub całej pamięci.

Komórka pamięci FLASH

Komórka pamięci FLASH jest jednotranzystorowa.

Tranzystor MOS stanowiący komórkę pamięci posiada bramkę sterującą, bramkę swobodną oraz dren i źródło.

Bramka swobodna przechowuje ładunek dostarczony w wyniku procesu wymuszonego napięciami elektrod podobnie jak w tranzystorze FAMOS.



[*]

dużo elektronów - zapisane 0

mało elektronów lub ich brak - zapisana 1

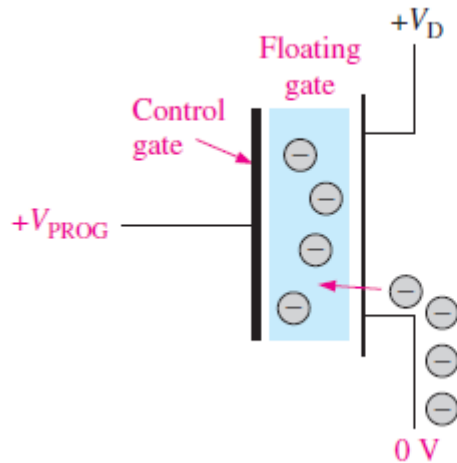
Programowanie

Początkowo wszystkie komórki są w stanie 1, ponieważ ładunek został usunięty z każdej komórki w poprzedzającej operacji kasowania.

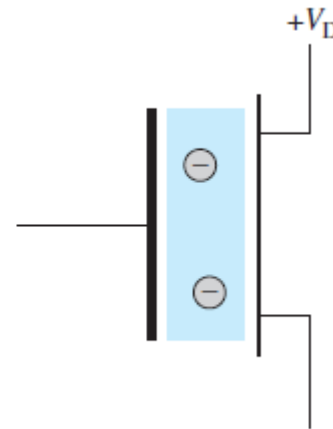
Operacja programowania wprowadza elektrony do swobodnej bramki tych komórek, które mają przechowywać 0.

Ładunki nie są wprowadzane tych komórek, które mają przechowywać 1.

Przyłożenie wystarczającego dodatniego napięcia do bramki (w stosunku do napięcia źródła) podczas programowania wprowadza elektrony do bramki swobodnej.



zapisywanie 0



zapisywanie 1
(pozostawienie stanu po skasowaniu)

[*]

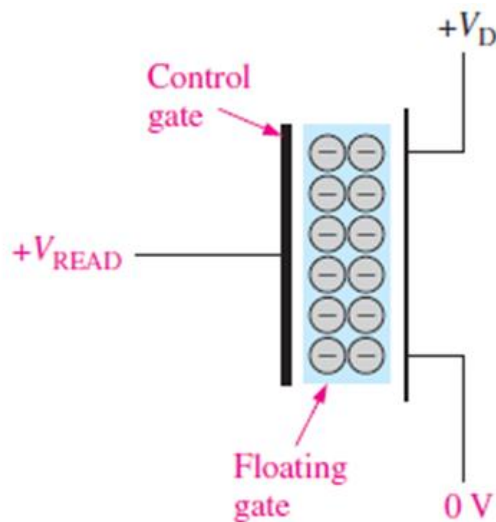
Odczytywanie

Podczas operacji odczytu do bramki sterującej podawane jest napięcie dodatnie.

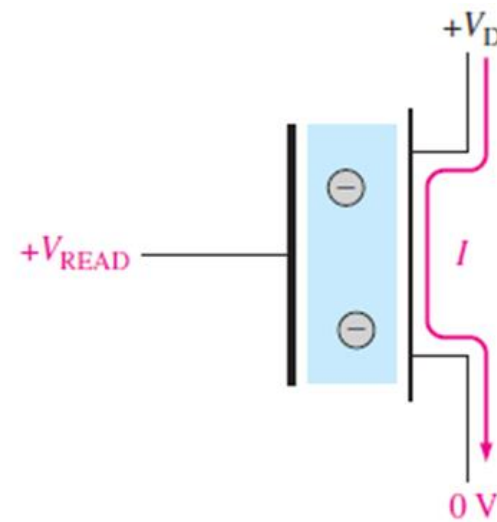
Ilość ładunku obecnego w swobodnej bramce komórki określa, czy napięcie przyłożone do bramki sterującej włączy tranzystor.

Jeśli zapamiętane zostanie 1, napięcie bramki sterującej jest wystarczające do włączenia tranzystora.

Jeśli zapamiętane zostanie 0, tranzystor nie włączy się, gdyż ujemny ładunek zgromadzony w bramce swobodnej uniemożliwia przekroczenie progu włączenia.



odczytywanie 0



odczytywanie 1

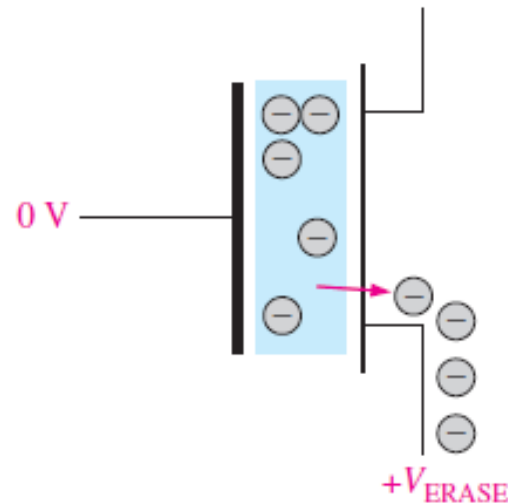
[*]

Kasowanie

Podczas operacji kasowania ładunek jest usuwany ze wszystkich komórek pamięci. Dodatnie napięcie (w stosunku do napięcia bramki) jest doprowadzane do elektrody źródła tranzystora

Bramka swobodna pozbawiana jest ładunku.

Pamięć FLASH jest zawsze kasowana przed przeprogramowaniem.



[*]

kasowanie zawartości komórki pamięci FLASH

każda pamięć FLASH ma system zarządzania pamięcią (kontroler)

Aby zapisać komórkę pamięci FLASH, należy ją wcześniej skasować.

Nie jest możliwe ponowne zapisanie danych do już zapisanej komórki (nadpisywanie).

Operacja kasowania umożliwia skasowanie tylko całych bloków komórek. Nie można skasować pojedynczej komórki.

Z tego powodu zapis danych nie jest w pełni swobodny. Pamięci te umożliwiają odczyt i zapis dowolnej komórki, ale już nie swobodne kasowanie i nadpisanie zawartości.

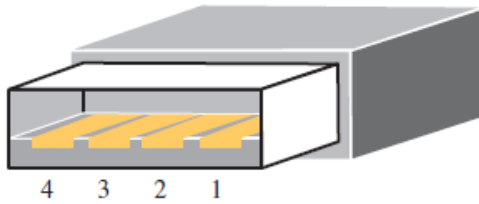
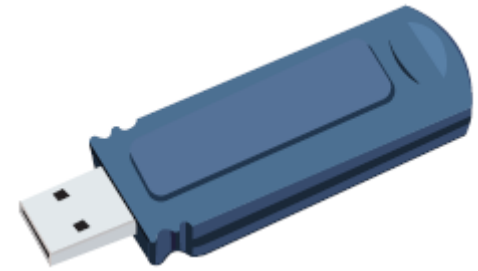
Powodują to trudności w obsłudze dostępu do danych.

Zapis musi być skoordynowany z operacją kasowania bloków pamięci. Jeśli plik ma zostać zaktualizowany lub nadpisany, system zarządzania pamięcią tworzy nową kopię pliku w innym miejscu, oznaczając tylko poprzednią wersję jako bezużyteczną. Taka wersja pliku nadal zajmuje wolne miejsce, jest ono zwalniane jeśli operacja kasowania jest możliwa, czyli w danym bloku pamięci nie ma fragmentu innego pliku.

Dodatkową komplikacją jest fakt, że operacja kasowania jest znacznie dłuższa niż operacja zapisu i odczytu.

Pamięć FLASH USB

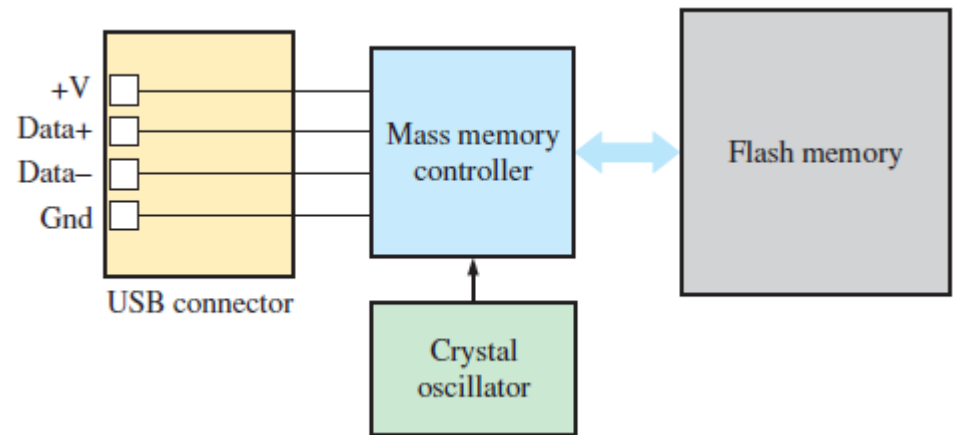
Pamięć FLASH USB składa się z pamięci FLASH podłączonej do standardowego złącza USB, umieszczonej w niewielkiej obudowie.



złącze USB pamięci FLASH USB



ikona złącza USB



blokowy schemat pamięci FLASH USB

[*]

Porównanie właściwości różnych typów pamięci

typ pamięci	nieulotna	duże upakowanie	komórka jedno tranzystorowa	możliwość zapisu w systemie
SRAM	nie	nie	nie	tak
DRAM	nie	tak	tak	tak
Mask ROM	tak	tak	tak	nie
EPROM	tak	tak	tak	nie
EEPROM	tak	nie	nie	tak
Flash	tak	tak	tak	tak

PAMIĘĆ PODRĘCZNA

organizacja systemów cyfrowych w kontekście umiejscowienia wykorzystania pamięci SRAM i DRAM

PAMIĘĆ PODRĘCZNA

Procesor komputera jest bardzo szybki i cały czas przetwarza dane pobierane z pamięci. Z uwagi na różnice szybkości działania często oczekuje na dostarczenie danych ponieważ czasy dostępu do pamięci są dłuższe niż możliwość ich pobierania przez procesor.

Celem zminimalizowania tego niekorzystnego zjawiska opracowano technikę łączenia szybkiej pamięci o małej pojemności z wolniejszą pamięcią o dużej pojemności.

Udało się w ten sposób pogodzić względnie dużą wydajność pamięci z jej względnie dużą pojemnością i to wszystko za umiarkowaną cenę.

Powstała w ten sposób **pamięć podręczna** (*cache'owa*)

(*cache – rzeczownik: kryjówka, czasownik: chować*)

zasada lokalności odwołań

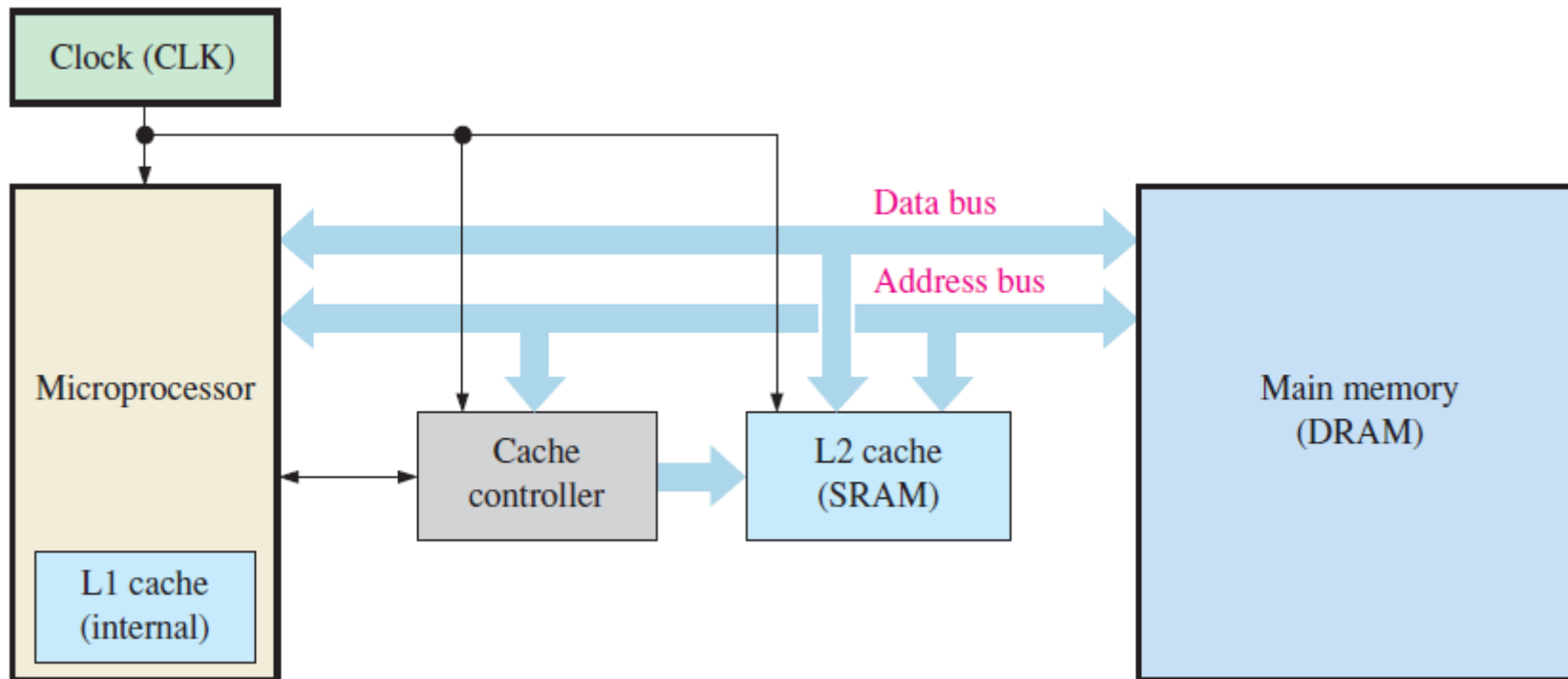
Odwołania procesora do pamięci pojawiające się w krótkim czasie wykorzystują niewielką część przestrzeni adresowej. Istnieje duże prawdopodobieństwo, że każda kolejna operacja dostępu do danych w pamięci będzie operacją poboru danych z lokalizacji sąsiadującej z poprzednio wykorzystywaną.

Jeżeli pamięć podręczna zawiera więcej słów z otoczenia poprzednio wykorzystywanego adresu to można oczekiwać, że kolejne wywołanie będzie dotyczyło informacji przebywającej już w pamięci podręcznej.

Pojemność pamięci podręcznej pierwszego poziomu L1 jest mniejsza. Pamięć ta znajduje się we wnętrzu układu scalonego procesora. Pamięć podręczna drugiego poziomu L2 stanowi osobny układ scalony, ma większą pojemność i pośredniczy pomiędzy procesorem a pamięcią główną.

Pamięć podręczna wykonana jest w technice SRAM.

Pamięć główna wykonana jest w technice DRAM.



[*]

umieszczenie pamięci podręcznej w komputerze

etapy dystrybucja żywności jako analogia wykorzystywania pamięci podręcznej

operacja poboru danych a operacja poboru żywności



pamięć podręczna L1



pamięć podręczna L2



pamięć główna

PAMIĘCI PÓŁPRZEWODNIKOWE

KONIEC

[*] Floyd T. L.: Digital Fundamentals. PEARSON

[**] Wawrzyński W.: Podstawy współczesnej elektroniki. WPW