

# UKŁADY SEKWENCYJNE

**Układy sekwencyjne** są to układy cyfrowe, których stany wyjść zależą od aktualnych stanów wejść oraz od tego, co się działo z tymi układami poprzednio, czyli jakie stany wejść zadawane były w chwilach poprzedzających.

Są to układy z pamięcią, gdyż w ich działaniu oprócz wymuszeń aktualnych istotną rolę odgrywają stany poprzednie.

Podstawowymi przedstawicielami tych układów są **zatrzaski** (*latch*) i **przerzutniki** (*flip-flop*).

Zatrzaski i przerzutniki są elementami pamięciowymi stosowanymi w technice cyfrowej.

# Asynchronizm i synchronizm

Układ jest **asynchroniczny**, gdy stany wyjść zmieniają się bezpośrednio po zmianie stanów wejść.

Zatrzaski są układami asynchronicznymi.

Układ jest **synchroniczny**, gdy zmiany stanów wyjściowych następują w chwilach wyznaczonych przez specjalny sygnał synchronizujący, nazywany sygnałem zegarowym.

Przerzutniki są układami synchronicznymi.

# Zatrzaski

*(latch)*

Cechą charakterystyczną zatrzasków jest ich „przezroczystość” to znaczy, że zmiany na wejściach powodują natychmiastowe zmiany na wyjściach.

Jako reprezentant zatrzasków przedstawiony jest dalej zatrzask  $\bar{R} \bar{S}$

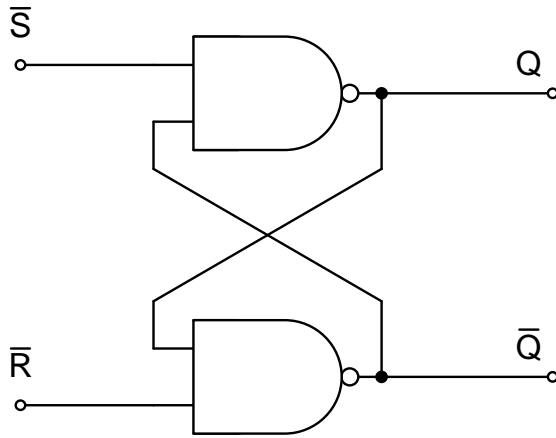
## *UWAGA*

*W części dotyczącej zatrzasków indeksy dolne oznaczają:*

*n - stan poprzedni*

*n+1 - stan następny*

# zatrzask $\bar{R}\bar{S}$



budowa

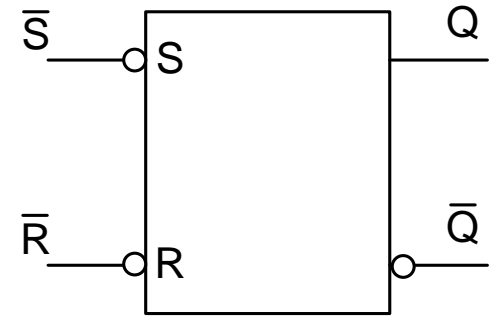
NAND

A	B	W
0	0	1
0	1	1
1	0	1
1	1	0

równanie logiczne

$$Q_{n+1} = S + Q_n \bar{R} \quad \text{przy spełnieniu warunku: } \bar{S} + \bar{R} = 1$$

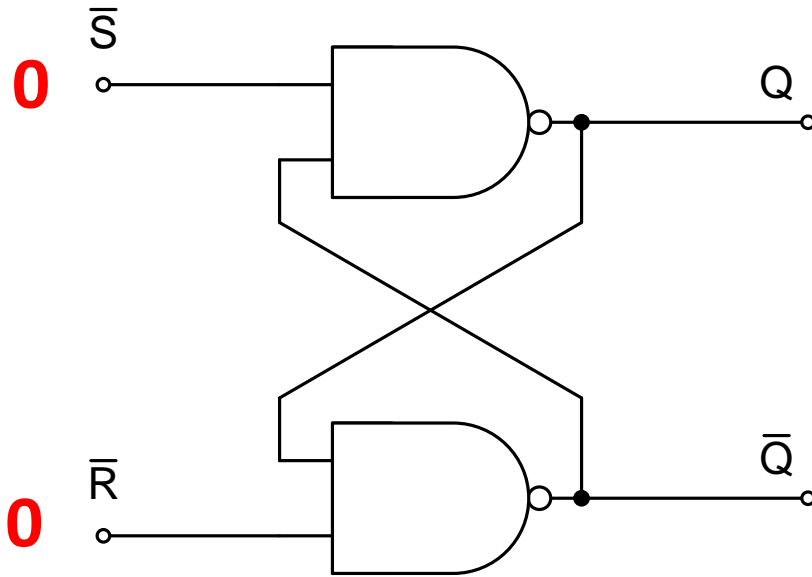
$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$



symbol graficzny

zatrask  $\bar{R}\bar{S}$ 

stany na wejściach nieS=0 i nieR=0



$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

NAND

A	B	W
0	0	1
0	1	1
1	0	1
1	1	0

0 na wejściu nieS wymusza 1 na wyjściu Q  
i jednocześnie

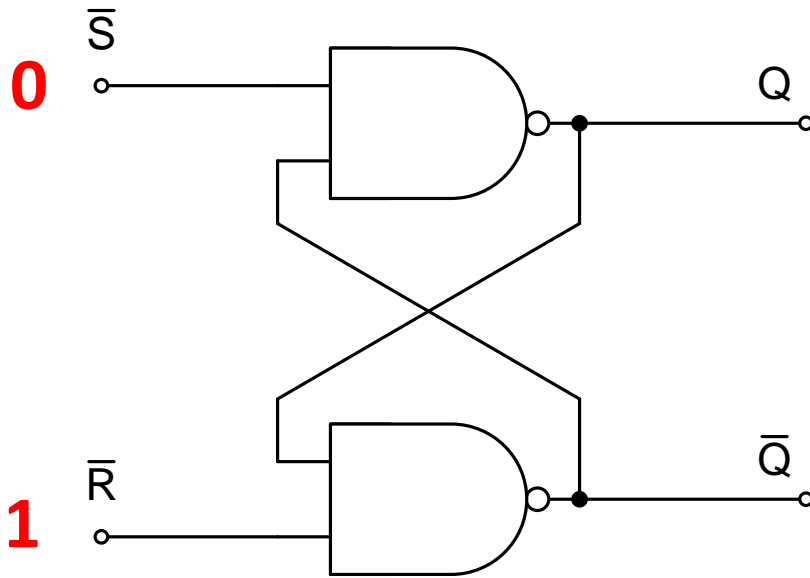
0 na wejściu nieR wymusza 1 na wyjściu nieQ

stany Q i nieQ są tożsame a to jest niedopuszczalne

dlatego zastrzega się  $\bar{S} + \bar{R} = 1$

zatrask  $\bar{R}\bar{S}$ 

stany na wejściach nieS=0 i nieR=1



$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

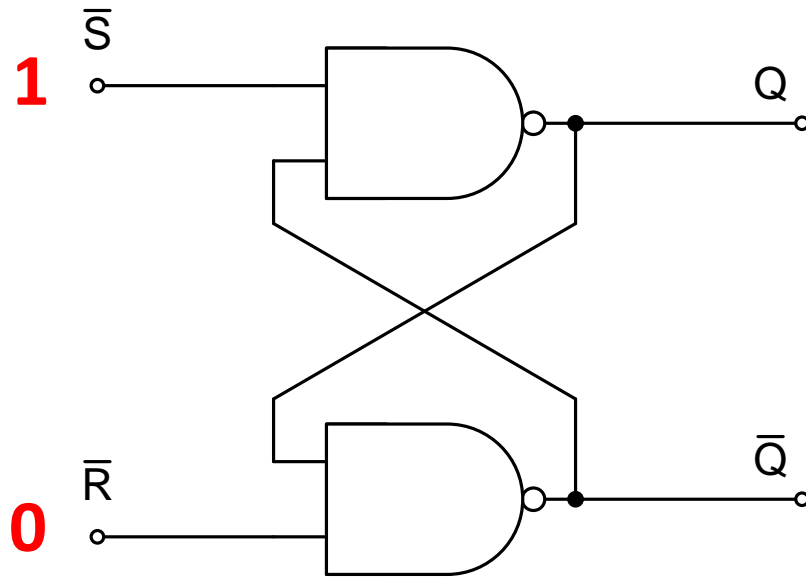
NAND

A	B	W
0	0	1
0	1	1
1	0	1
1	1	0

0 na wejściu nieS wymusza 1 na wyjściu Q  
i wtedy na nieQ jest 0

zatrask  $\bar{R}\bar{S}$ 

stany na wejściach nieS=1 i nieR=0



$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

NAND

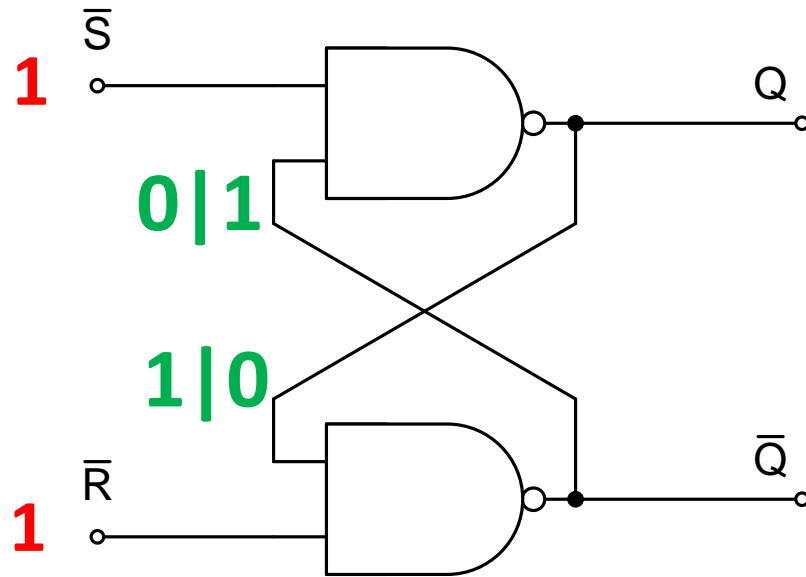
A	B	W
0	0	1
0	1	1
1	0	1
1	1	0

0 na wejściu nieR wymusza 1 na wyjściu nieQ  
i wtedy na Q jest 0



zatrask  $\bar{R}\bar{S}$ 

stany na wejściach nieS=1 i nieR=1



$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

NAND

A	B	W
0	0	1
0	1	1
1	0	1
1	1	0

na wyjściu pozostają stany zastane

# Przerzutniki

*(flip-flop)*

W przerzutnikach nie istnieje „przezroczystość” jak w zatrzaskach. Stany na wyjściach zmieniają się synchronicznie z sygnałem zegarowym.

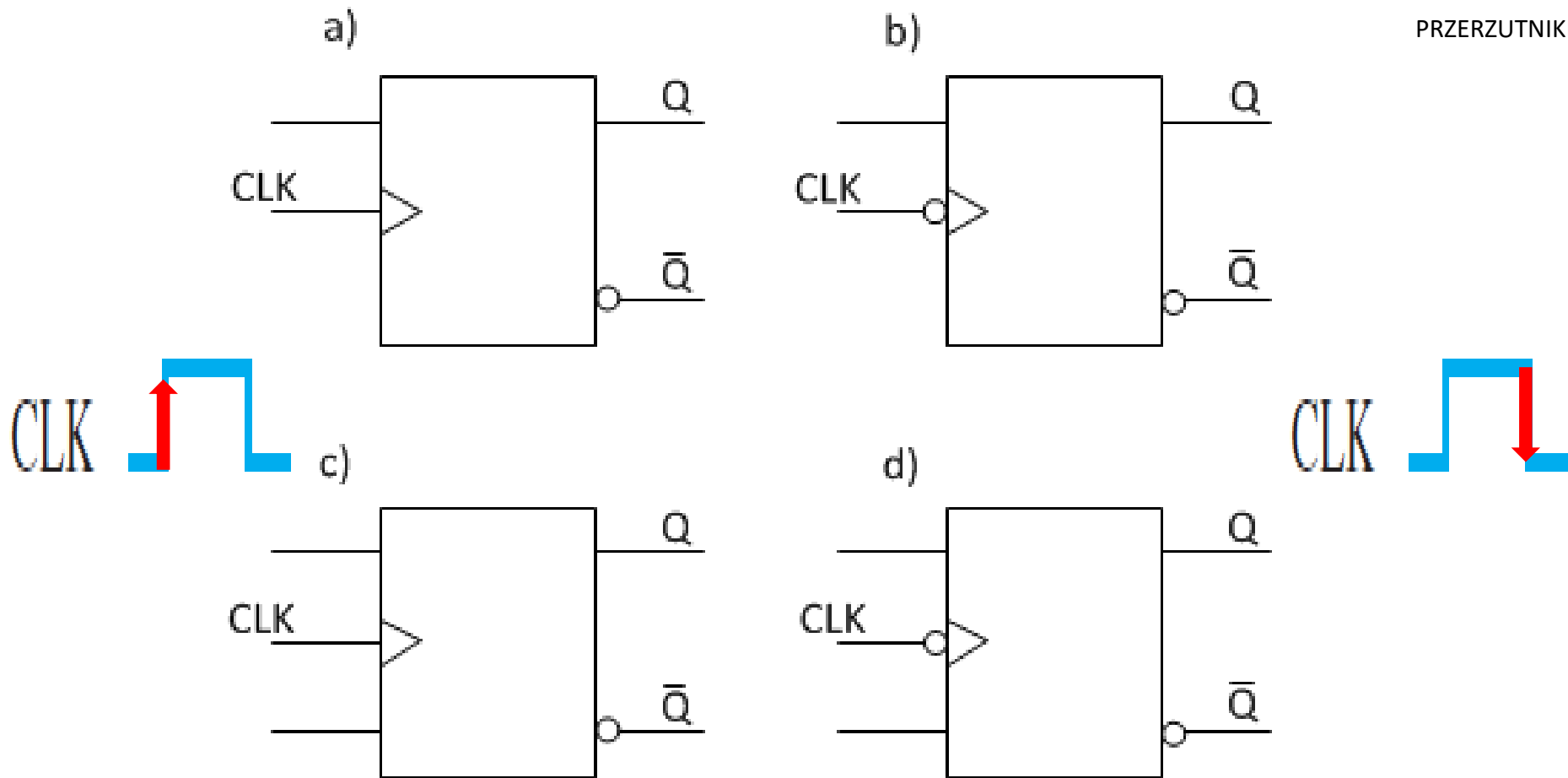
Jako reprezentant przerzutników przedstawiony jest dalej przerzutnik **D**

*UWAGA*

*W części dotyczącej przerzutników indeksy dolne oznaczają:*

*$n$  - stan poprzedni przy  $n$ -tym impulsie zegarowym*

*$n+1$  - stan następny po  $n+1$  impulsie zegarowym*



Symbole przerzutników:

- a) przerzutnik jednowejściowy przełączany zboczem dodatnim (narastającym)
- b) przerzutnik jednowejściowy przełączany zboczem ujemnym (opadającym)
- c) przerzutnik dwuwjściowy przełączany zboczem dodatnim (narastającym)
- d) przerzutnik dwuwjściowy przełączany zboczem ujemnym (opadającym)

# przerzutnik D

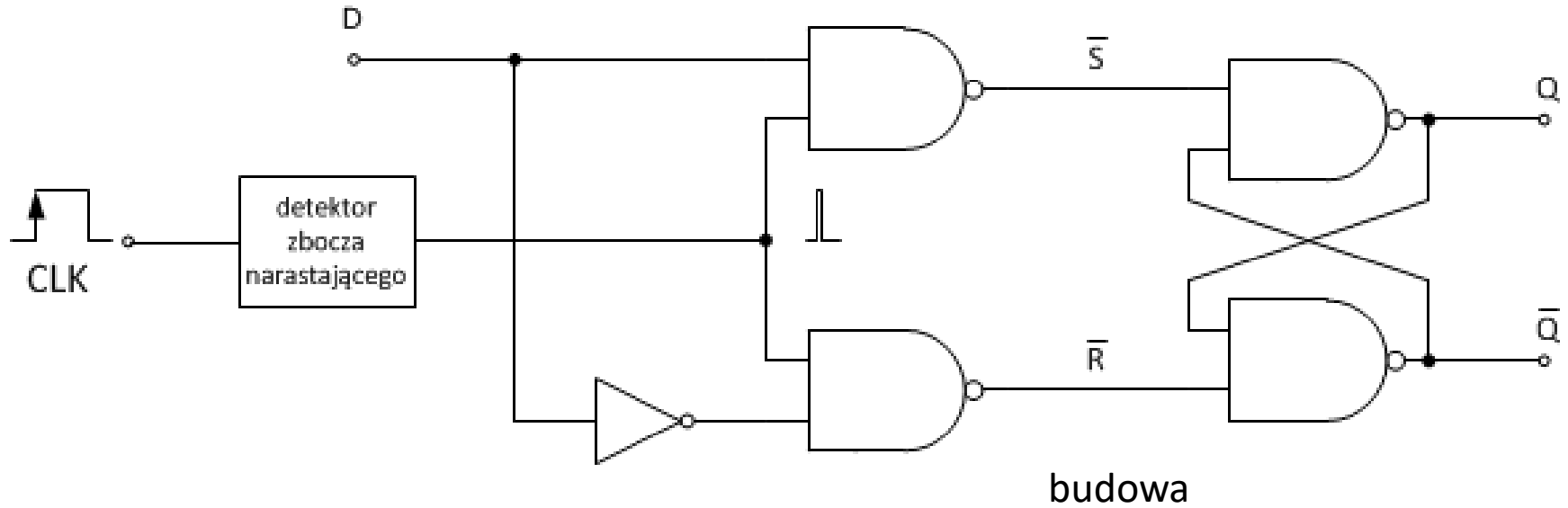
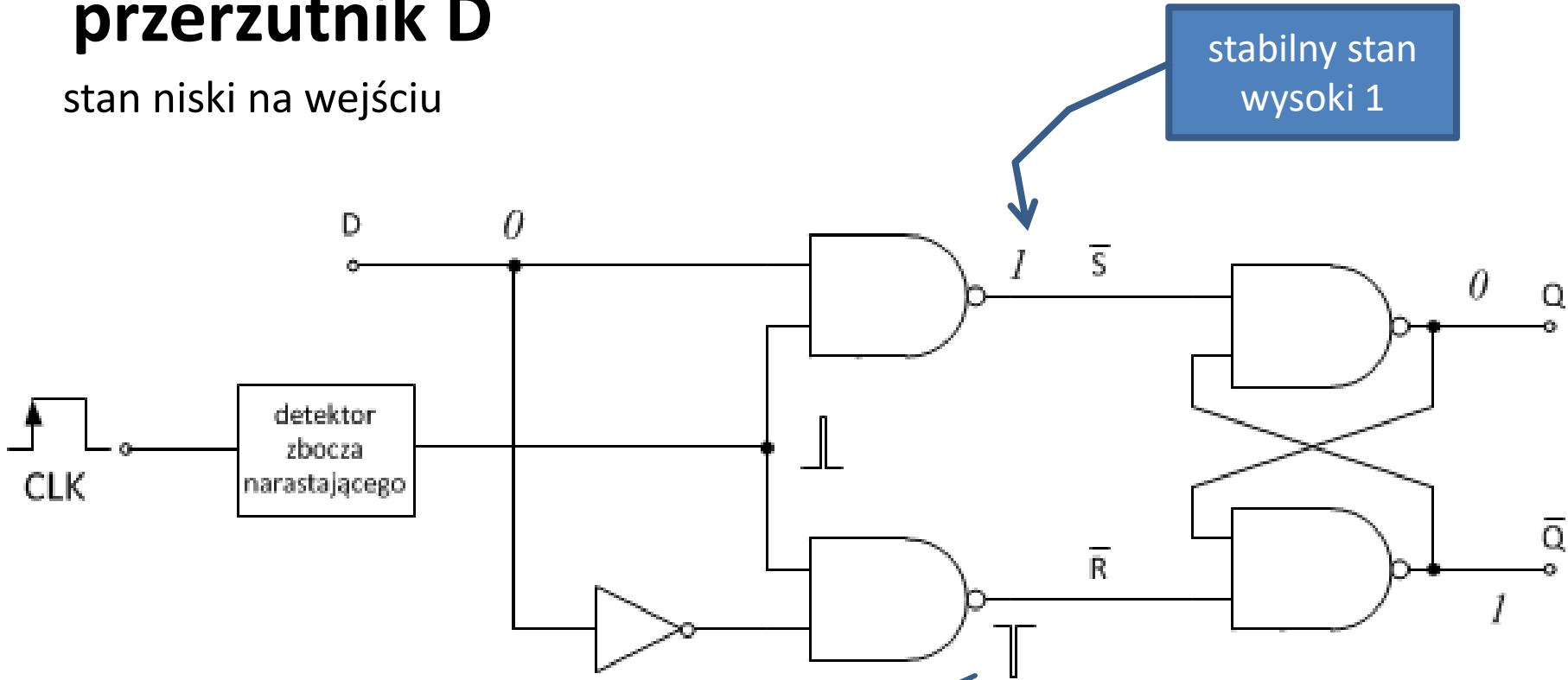


tabela prawdy

D	CLK	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	↑	0	1
1	↑	1	0
x	brak zbocza ↑	$Q_n$	$\bar{Q}_n$

# przerzutnik D

stan niski na wejściu



chwilowe 0 później stan wysoki 1 „podtrzymanie”

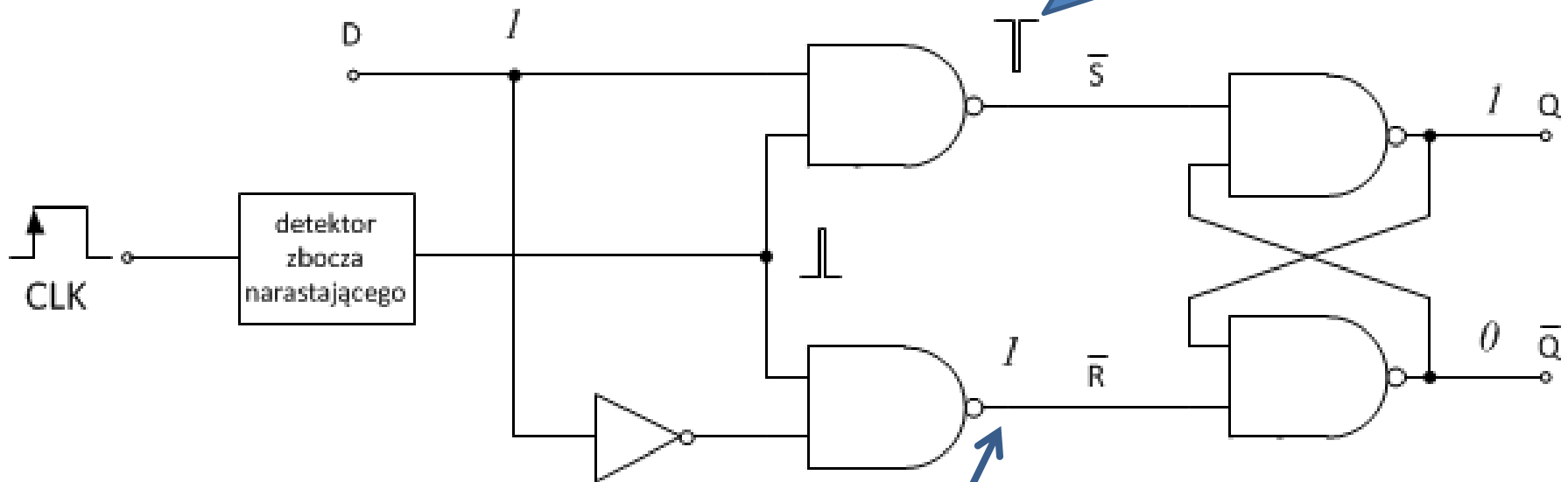
zatrząsk  $\bar{R}\bar{S}$

$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

podtrzymanie

# przerzutnik D

stan wysoki na wejściu



stabilny stan wysoki 1

podtrzymanie

zatrask  $\bar{R}\bar{S}$

$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

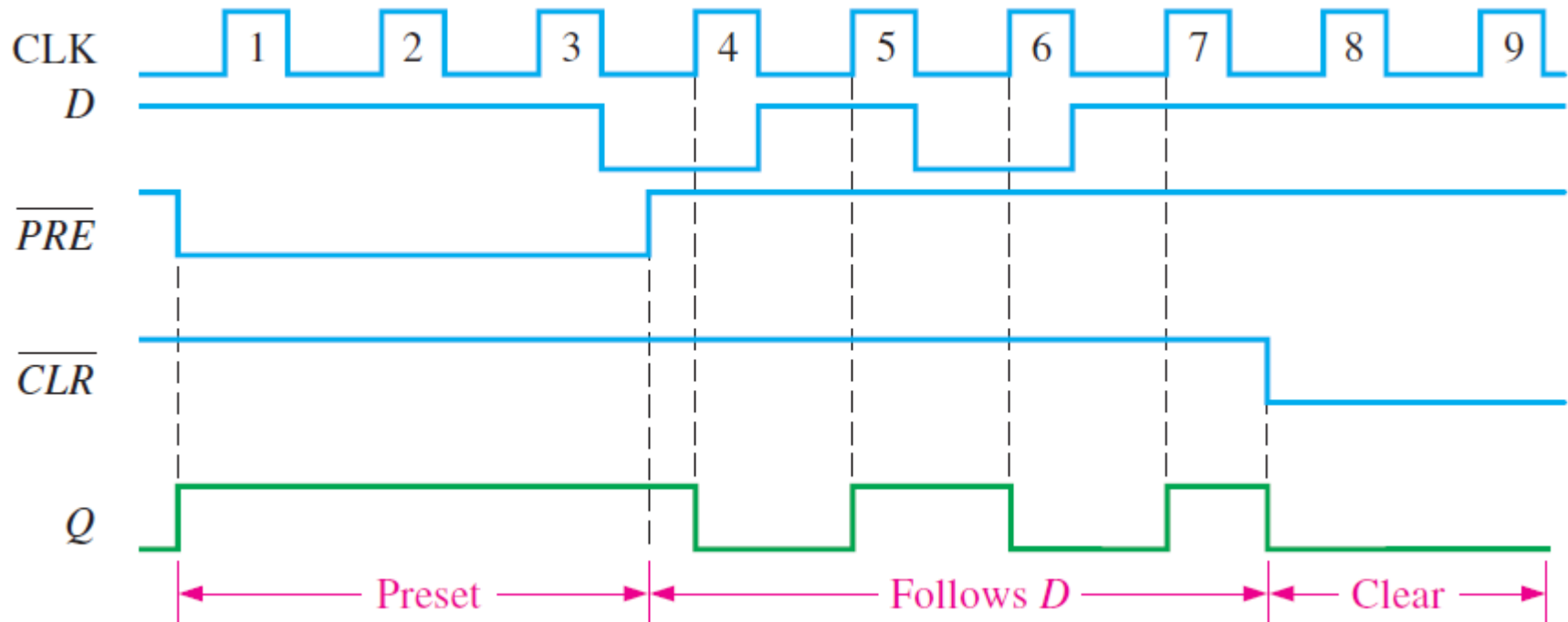
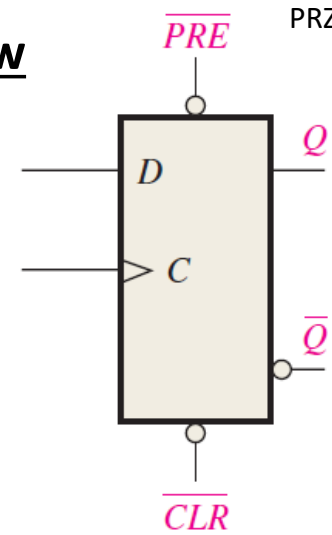
# dotatkowe asynchroniczne wejścia priorytetowe przerzutników

asynchroniczne priorytetowe wejście ustawiające preset (PRE)

asynchroniczne priorytetowe wejście zerujące clear (CLR)

PRE aktywny stan 1,  $\overline{PRE}$  aktywny stan 0

CLR aktywny stan 1,  $\overline{CLR}$  aktywny stan 0



[\*]

# Rejestry

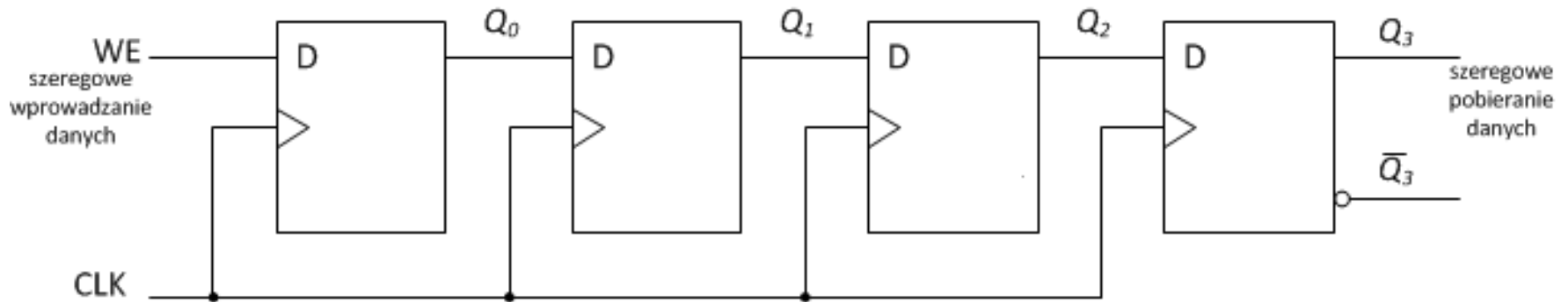


**Rejestry są to sekwencyjne układy cyfrowe służące do chwilowego przechowywania informacji.**

**Pełnią funkcję pomocniczych układów pamięciowych, zwykle o niewielkiej pojemności.**

**Rejestry służą też jako układy pośredniczące pomiędzy urządzeniami o różnej szybkości pracy lub różnym sposobie przekazywania informacji.**

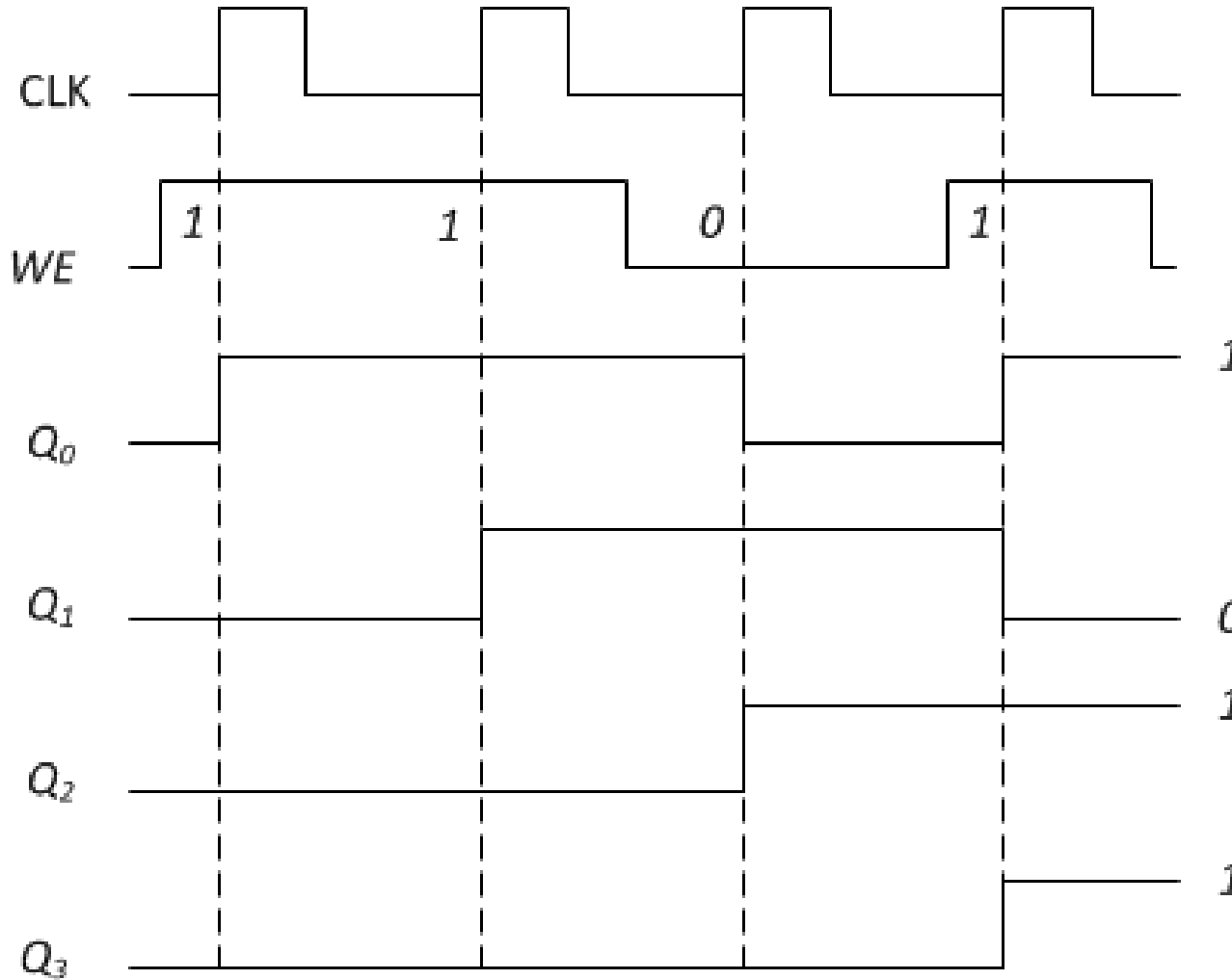
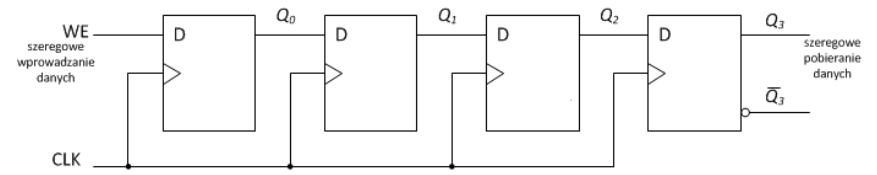
# rejestr szeregowo - szeregowy



schemat czterobitowego rejestru szeregowo - szeregowego

ten rejestr nazywany jest też: rejestrem przesuającym (przesuwnym)

# rejestr szeregowo - szeregowy



*obraz czterech impulsów sygnału zegarowego*

*wpisanie słowa 1101 po czterech impulsach zegarowych*

## rejestr szeregowo – szeregowy

### *wpisywanie do rejestru*

	$Q_0$	$Q_1$	$Q_2$	$Q_3$
zerowanie	0	0	0	0
1 impuls CLK	1	0	0	0
2 impuls CLK	1	1	0	0
3 impuls CLK	0	1	1	0
4 impuls CLK	1	0	1	1

wpisane bity słowa  $Q_3Q_2Q_1Q_0 = 1101$

wpisywanie bitów następnego słowa  
z jednoczesnym pobieraniem poprzedniej zawartości rejestru

	$Q_0$	$Q_1$	$Q_2$	$Q_3$
inicjowanie	1	0	1	1
5 impuls CLK	$X_3$	1	0	1
6 impuls CLK	$X_2$	$X_3$	1	0
7 impuls CLK	$X_1$	$X_2$	$X_3$	1
8 impuls CLK	$X_0$	$X_1$	$X_2$	$X_3$

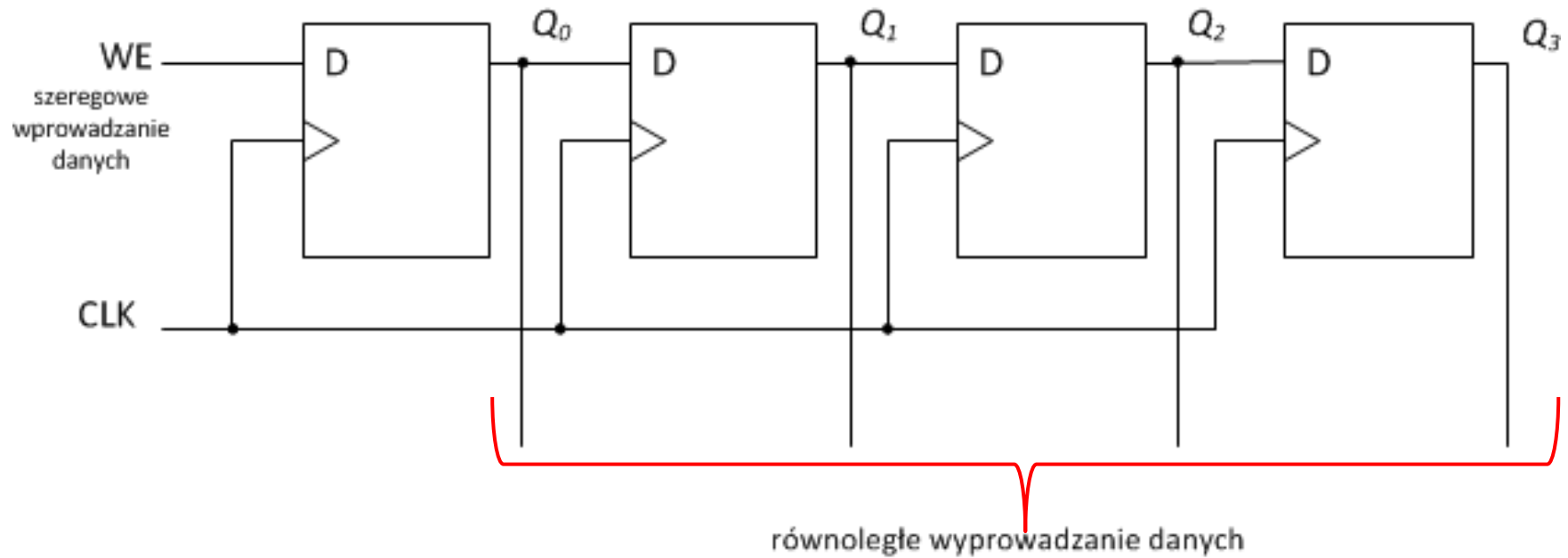
szeregowe pobieranie z wyjścia  $Q_3$  bitów słowa 1101

wpisane bity następnego słowa

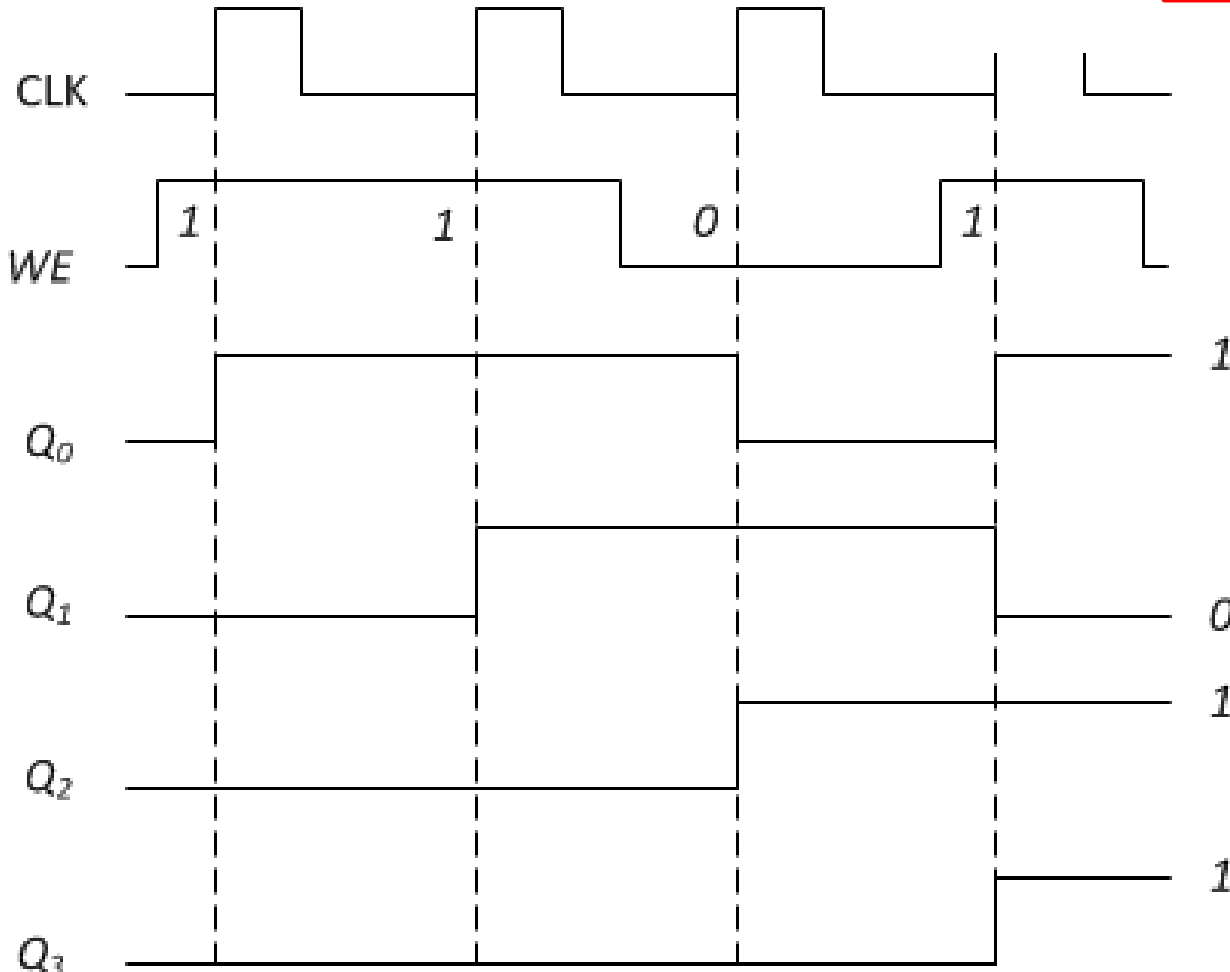
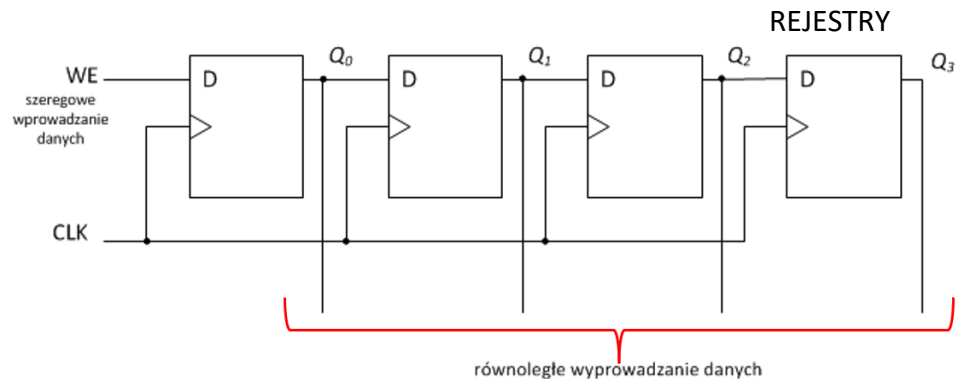
$$Q_3 Q_2 Q_1 Q_0 = X_3 X_2 X_1 X_0$$

gdzie X dowolnie 0 lub 1

## rejestr szeregowo - równoległy



# rejestr szeregowo - równoległy



wpisanie słowa 1101 po czterech impulsach zegarowych

równoległe wyprowadzanie danych

# rejestr szeregowo – równoległy *c.d.*

	$Q_0$	$Q_1$	$Q_2$	$Q_3$
zerowanie	0	0	0	0
1 impuls CLK	1	0	0	0
2 impuls CLK	1	1	0	0
3 impuls CLK	0	1	1	0
4 impuls CLK	1	0	1	1

wpisane bity słowa  $Q_3Q_2Q_1Q_0 = 1101$   
 możliwe do pobrania równoległego



# Liczniki

# Liczniki służą do zliczania impulsów i pamiętania ich liczby

Każdy licznik ma swoją pojemność.

Pojemność jest to liczba impulsów, którą (lub której całkowitą wielokrotność) można doprowadzić na wejście licznika, a jego stan nie ulegnie zmianie. Dzieje się tak dlatego, że licznik po przepełnieniu zeruje się i liczy od nowa.

Liczbę stanów licznika określa się jako długości cyklu. Jeśli licznik ma  $m$  stanów przez które przechodzi cyklicznie to określa się go też mianem modulo  $m$ .

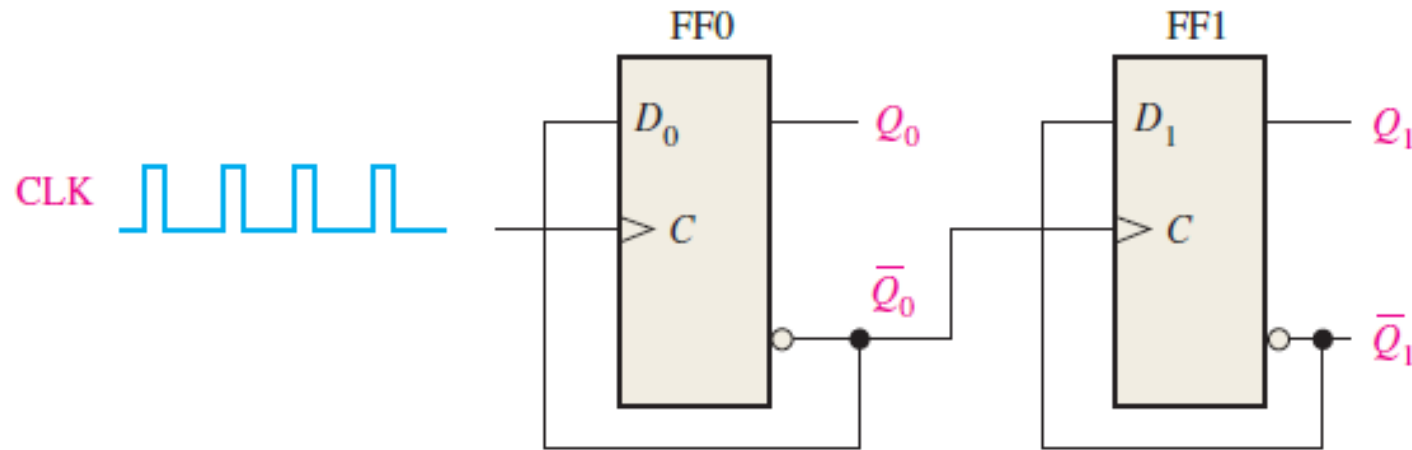
Liczniki dzielimy na asynchroniczne i synchroniczne.

Liczniki asynchroniczne to takie liczniki w których zmiany stanów przerzutników nie występują jednocześnie lecz kolejno, gdyż wejście zegarowe każdego przerzutnika jest połączone z wyjściem przerzutnika poprzedzającego w układzie licznika tworząc strukturę szeregową.

*Tylko te są dalej omawiane.*

Liczniki synchroniczne charakteryzują się tym, że wejścia zegarowe wszystkich przerzutników składowych połączone są równolegle i zmiany ich stanów następują jednocześnie w takt odpowiedniego zbocza impulsu.

## 2-bitowy licznik asynchroniczny



[\*]

Sygnał zegarowy (CLK) jest przyłożony do wejścia zegarowe (C) tylko pierwszego przerzutnika, który reprezentuje najmniej znaczący bit.

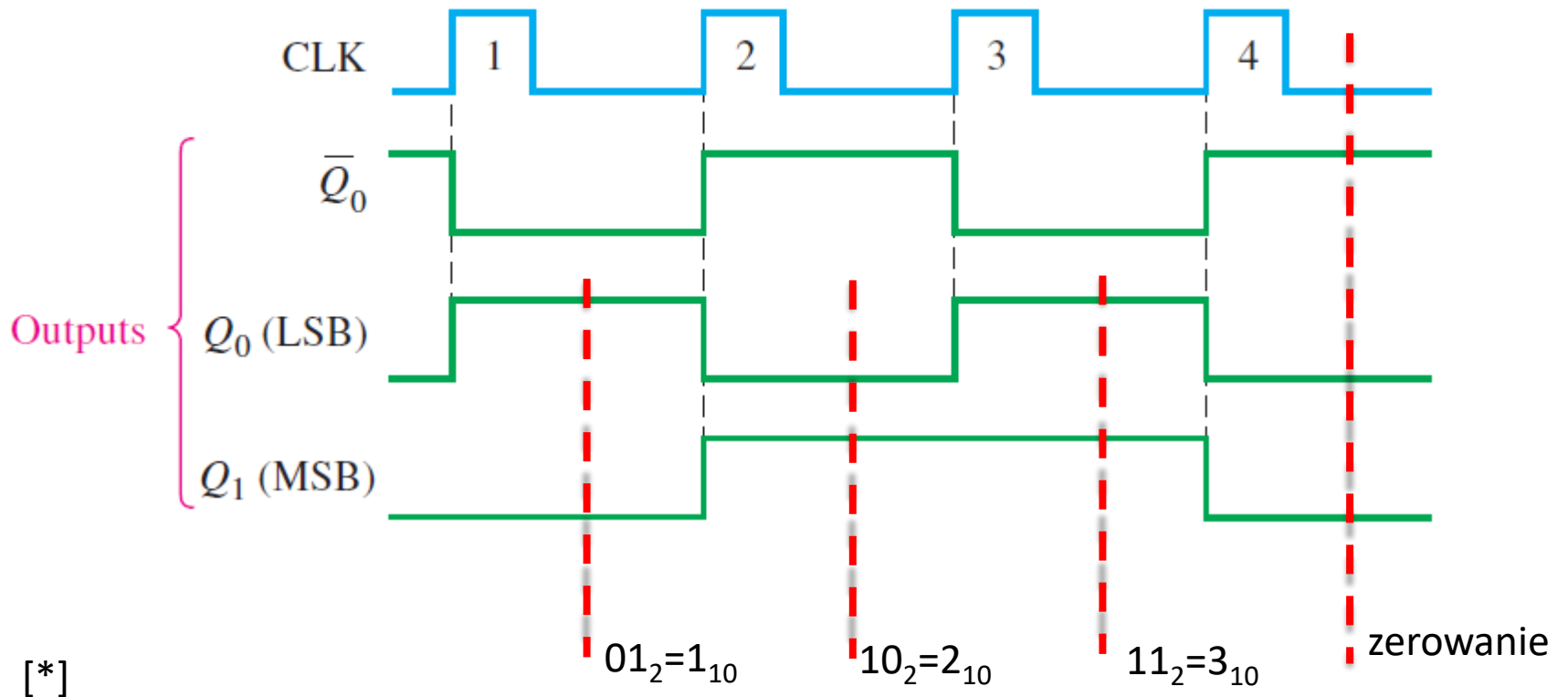
Drugi przerzutnik, jest wyzwalany przez wyjście nie $Q_0$  poprzedniego przerzutnika.

FF0 zmienia stan na dodatnim zboczu każdego impulsu zegara, ale FF1 zmienia stan tylko wtedy, gdy przychodzi dodatnie zbocze z wyjścia nie $Q_0$  przerzutnika FF0.

Ze względu na nieodłączny czas opóźnienia propagacji przez przerzutnik, przejście wejściowego impulsu zegarowego (CLK) i zmiana stanu na wyjściu nie $Q_0$  przerzutnika FF0 nie następuje w tym samym czasie.

Z tego powodu te dwa przerzutniki nigdy nie są wyzwalane jednocześnie, więc działanie licznika jest asynchroniczne.

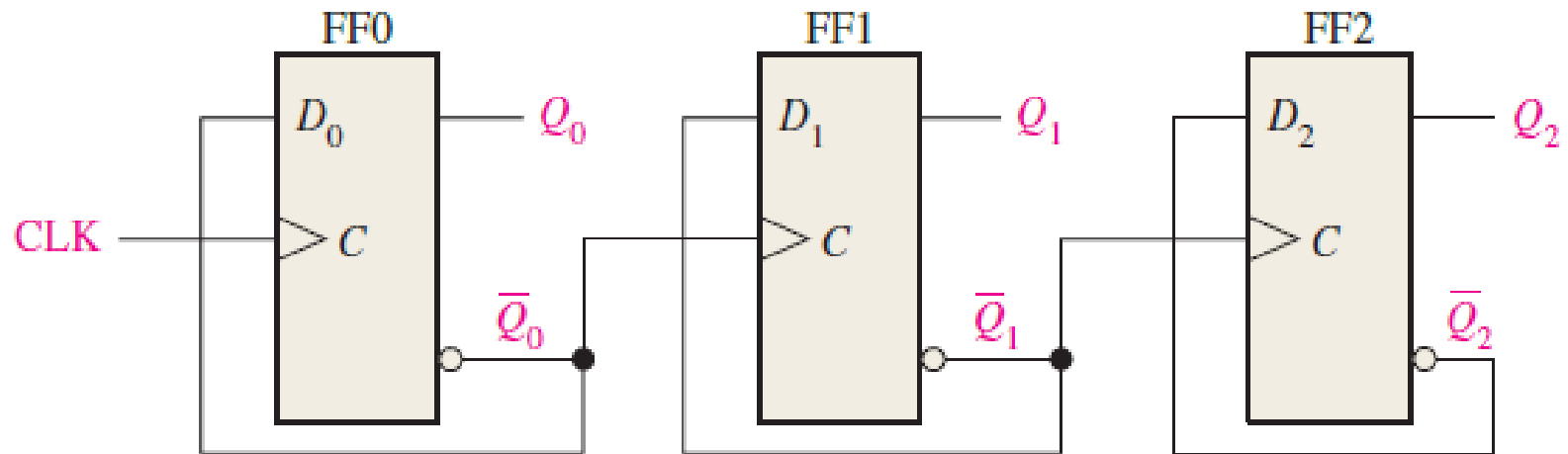
## diagram czasowy 2-bitowego licznika asynchronicznego



**tabela stanów 2-bitowego licznika asynchronicznego**

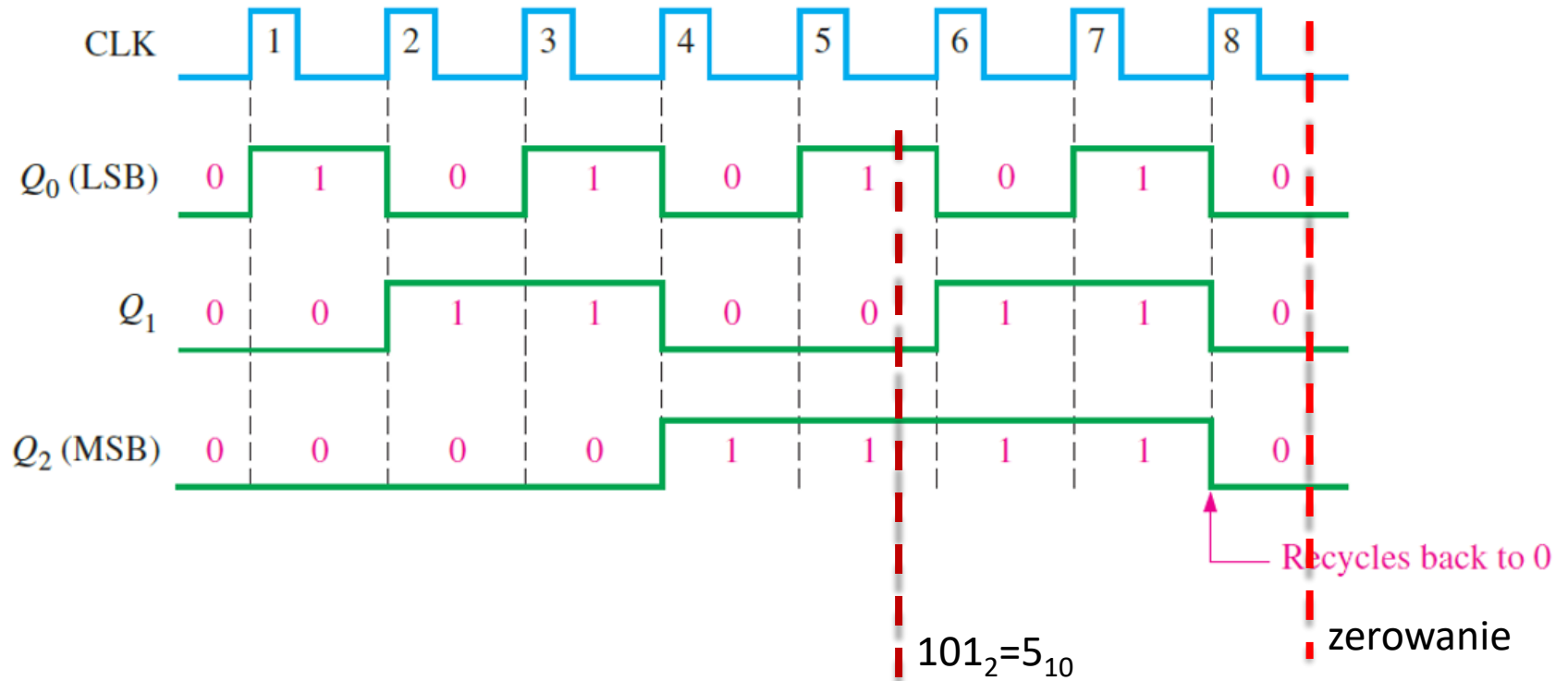
<b>Clock Pulse</b>	<b><math>Q_1</math></b>	<b><math>Q_0</math></b>
Initially	0	0
1	0	1
2	1	0
3	1	1
4 (recycles)	0	0

## 3-bitowy licznik asynchroniczny



[\*]

## diagram czasowy 3-bitowego licznika asynchronicznego



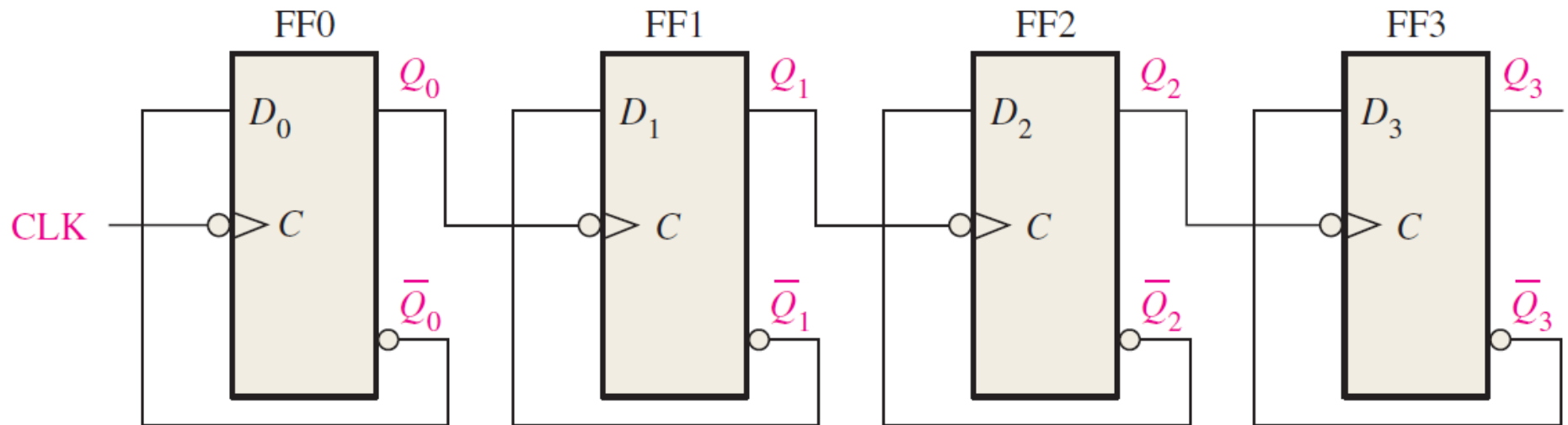
[\*]



**tabela stanów 3-bitowego licznika asynchronicznego**

<b>Clock Pulse</b>	$Q_2$	$Q_1$	$Q_0$
Initially	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8 (recycles)	0	0	0

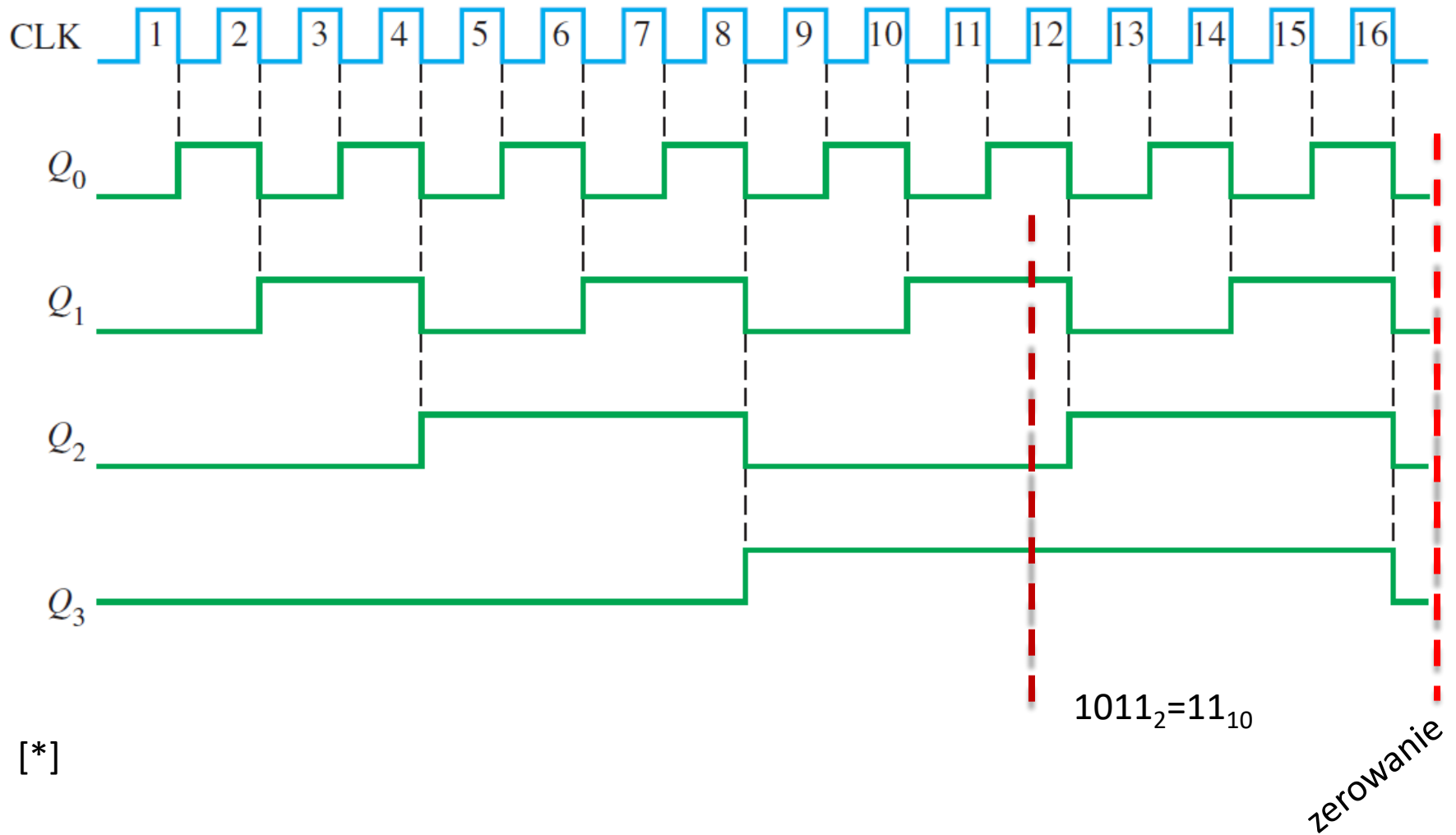
## 4-bitowy licznik asynchroniczny



[\*]

*uwaga: przełączany zboczem opadającym impulsu zegarowego*

## diagram czasowy 4-bitowego licznika asynchronicznego



# UKŁADY SEKWENCYJNE

# KONIEC

[\*] T.L.Floyd: Digital Fundamentals, PEARSON